

日本国特許庁
JAPAN PATENT OFFICE

19.06.03 #2

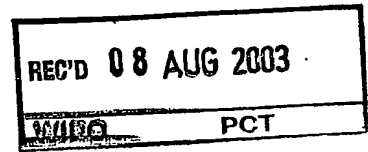
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年 6月20日

出願番号
Application Number: 特願2002-179468
[ST. 10/C]: [JP2002-179468]

出願人
Applicant(s): キヤノン株式会社

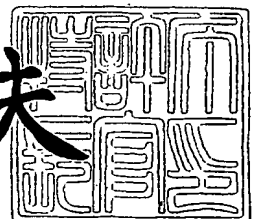


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 7月25日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



BEST AVAILABLE COPY

【書類名】 特許願

【整理番号】 4668004

【提出日】 平成14年 6月20日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 29/00

【発明の名称】 有機半導体素子、その製造方法および有機半導体装置

【請求項の数】 20

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 海野 章

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【代理人】

【識別番号】 100069017

【弁理士】

【氏名又は名称】 渡辺 徳廣

【電話番号】 03-3918-6686

【手数料の表示】

【予納台帳番号】 015417

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703886

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 有機半導体素子、その製造方法および有機半導体装置

【特許請求の範囲】

【請求項 1】 基板の表面に、ゲート電極、ゲート絶縁層、有機半導体層、ソース電極／ドレイン電極、及び保護膜が設けられている有機半導体素子において、前記有機半導体層に接して表面エネルギーの低い島状突起が分散して形成されている島状突起層が設けられていることを特徴とする有機半導体素子。

【請求項 2】 前記ゲート絶縁層および有機半導体層の間に表面エネルギーの低い島状突起が分散して形成されている島状突起層が設けられている請求項 1 に記載の有機半導体素子。

【請求項 3】 基板の表面に、ゲート電極、ゲート絶縁層、表面エネルギーの低い島状突起が分散して形成されている島状突起層、有機半導体層、ソース電極／ドレイン電極、及び保護膜がこの順に設けられている請求項 1 に記載の有機半導体素子。

【請求項 4】 基板の表面に、ゲート電極、ゲート絶縁膜、有機半導体層、表面エネルギーの低い島状突起が分散して形成されている島状突起層、ソース電極／ドレイン電極、及び保護膜がこの順に設けられている請求項 1 に記載の有機半導体素子。

【請求項 5】 基板の表面に、ゲート電極、ゲート絶縁膜、ソース電極／ドレイン電極、表面エネルギーの低い島状突起が分散して形成されている島状突起層、有機半導体層、及び保護膜がこの順に設けられている請求項 1 に記載の有機半導体素子。

【請求項 6】 基板の表面に、ゲート電極、ゲート絶縁膜、ソース電極／ドレイン電極のいずれか一方、表面エネルギーの低い島状突起が分散して形成されている島状突起層、有機半導体層、ソース電極／ドレイン電極のいずれか一方、及び保護膜がこの順に設けられている請求項 1 に記載の有機半導体素子。

【請求項 7】 前記島状突起の表面エネルギーは $30 \text{ dy n} / \text{cm}^2$ 以下である請求項 1 乃至 6 のいずれかの項に記載の有機半導体素子。

【請求項 8】 前記島状突起層中に分散している島状突起の占める割合が、

島状突起層全体の10～95%である請求項1乃至7のいずれかの項に記載の有機半導体素子。

【請求項9】 前記島状突起の高さが0.2～150nmである請求項1乃至8のいずれかの項に記載の有機半導体素子。

【請求項10】 前記島状突起の平均直径が0.1～100nmである請求項1乃至9のいずれかの項に記載の有機半導体素子。

【請求項11】 前記表面エネルギーの低い島状突起が、ポリアミドまたはポリイミドからなる請求項1乃至10のいずれかの項に記載の有機半導体素子。

【請求項12】 前記表面エネルギーの低い島状突起が、ポリフマル酸エステル系ポリマーおよび環状のパーフルオロポリマーから選ばれるフッ素系ポリマーからなる請求項1乃至10のいずれかの項に記載の有機半導体素子。

【請求項13】 前記表面エネルギーの低い島状突起が、フルオロアルキルシラン化合物およびパーフルオロエーテル系化合物から選ばれるフッ素系化合物からなる請求項1乃至10のいずれかの項に記載の有機半導体素子。

【請求項14】 前記有機半導体層がペンタセンまたはテトラセンからなる請求項1乃至7のいずれかの項に記載の有機半導体素子。

【請求項15】 前記有機半導体層が前記ゲート絶縁層の表面法線方向に対して周期性を有する請求項1乃至14のいずれかの項に記載の有機半導体素子。

【請求項16】 前記有機半導体層がペンタセン誘導体膜からなり、該ペンタセン誘導体膜のC軸配向率が85%以上である請求項1乃至15のいずれかの項に記載の有機半導体素子。

【請求項17】 基板の表面に、ゲート電極、ゲート絶縁層、有機半導体層、ソース電極／ドレイン電極、及び保護膜が設けられている有機半導体素子の製造方法において、前記有機半導体層に接してスピンコートまたはスプレー塗布法により表面エネルギーの低い島状突起が分散して形成されている島状突起層を形成することを特徴とする有機半導体素子の製造方法。

【請求項18】 前記スピンコートまたはスプレー塗布法により表面エネルギーの低い島状突起が分散して形成されている島状突起層を形成した後、該島状突起層上に有機半導体層を60℃～200℃の加熱条件下で成膜する請求項17

に記載の有機半導体素子の製造方法。

【請求項 19】 請求項 1 乃至 16 のいずれかに記載の有機半導体素子をアクティブ素子として用いることを特徴とするアクティブマトリクス型表示装置。

【請求項 20】 請求項 1 乃至 16 のいずれかに記載の有機半導体素子を IC 情報電子タグとして用いることを特徴とする有機半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機半導体素子、その製造方法およびその有機半導体素子を用いたアクティブマトリクス型表示装置或いは有機半導体素子を IC カード電子タグとして用いた有機半導体装置に関する。

【0002】

【従来の技術】

過去 10 年にわたって、有機半導体薄膜トランジスタ（有機 TFT）を用いる IC 技術が提案されている。このような回路の主な魅力は、処理の容易性および可撓性基板との適合性が期待されることに起因する。これらの利点は、スマートカード、電子タグ、およびディスプレイなどの応用に適した低コスト IC 技術に利用されることが期待される。

【0003】

一般的な有機 TFT は、ガラス基板、ゲート電極、ゲート絶縁膜、ソース電極、ドレイン電極、及び有機半導体膜の構成からなる。ゲート電極に印加する電圧（ゲート電圧、 V_g ）を変えることで、ゲート絶縁膜と有機半導体膜の界面の電荷量を過剰、或いは不足にし、ソース電極／有機半導体／ドレイン電極間を流れるドレイン電流値（ I_d ）を変化させ、スイッチングを行う。

【0004】

有機 TFT の性能を示す物理量として、移動度、オンオフ比、ゲート電圧しきい値が用いられる。移動度は、 $V I_d$ （ドレイン電流）と V_g （ゲート電圧）が線形関係にある飽和領域における、 $V I_d - V_g$ 曲線の傾きに比例し、電流の流れ易さの度合いを示す。オンオフ比は、 V_g を変化させた時の最小 I_d と最大 I

dの強度比で表される。ゲート電圧しきい値は、前記飽和領域における、 V_{Id} - V_g 曲線に接する直線のX切片で定義され、スイッチングが起こるゲート電圧を示す。

【0005】

有機TFTの特性の目的値として、現行アクティブマトリクス液晶表示装置に用いられているa-SiTFTの値が考えられている。すなわち、移動度が $0.3 \sim 1 \text{ cm}^2/\text{Vs}$ 、オンオフ比が106以上、ゲート電圧しきい値が $1 \sim 2 \text{ V}$ である。

【0006】

ポリマーをベースとしたTFTデバイスにおける近年の進歩については、例えば米国特許第5,596,208号、米国特許第5,625,199号および米国特許第5,574,291号に記載されている。これらの特許に記載されているように、n型およびp型活性ポリマー材料の開発に伴って、特に米国特許第5,625,199号に詳述されているように、相補ICが容易に実現できるようになった。

【0007】

また、電界効果トランジスタ特性を向上させるためにいくつかの試みがなされている。

例えば、十分に π 共役系の広がった有機半導体材料を用いること、有機半導体材料の薄膜の結晶性を向上させること、有機半導体材料にメチル基を導入することでドナー性を向上させてp型の半導体としての性質を向上させること、重合度のばらつきのある有機半導体ではなく単一の重合度のオリゴマーの有機半導体材料を用いることなどにより、電界効果トランジスタの性能を決める重要なパラメータであるキャリアの移動度の向上がはかられている。

【0008】

最も最近の研究では有機TFTの特性は、低分子方であれ、高分子方であれ、有機半導体膜の結晶性と相関性があることがわかってきている。例えば、文献 (A. R. Brown, D. M. de Leeuw, E. E. Havinga, and A. Pomp, "Synthetic Metals", Vol. 68,

P. P. 6.5-70 (1994)) には、アモルファス形状の有機半導体膜を用いた有機TFTでは、高移動度、高オンオフ比の両立は不可能であることが開示されている。また、文献(Y-Y. Lin, D. J. Gundlach, S. F. Nelson, and T. N. Jackson, "IEEE Transactions on Electron Devices", Vol. 44, No. 8 P. P. 1325-1331 (1997)) には、結晶性の高いペンタセン蒸着膜を半導体層に用いた有機TFTの作製方法、及びそのTFTの特性が移動度 $0.62 \text{ cm}^2/\text{Vs}$ 、オンオフ比 10^8 以上、ゲートしきい値電圧 -1.8 V という高特性であることが開示されている。

【0009】

有機半導体層の下に下地層を設けて、下地層により有機半導体膜の結晶性を向上させる試みも行われている。特開平07-206599号公報には、下地層にポリテトラフルオロエチレン(PTFE)配向膜を用いて、オリゴチオフェン化合物等の有機半導体膜を配向化される製造方法が開示されている。この場合、PTFE膜は、固体を一定圧力でスライドさせ基板表面上に形成するため、基板の面積化は難しい。また、有機半導体層の分子はPTFE膜の配向方向に揃った配列をとるため、分子間のキャリア伝導が難しくなり、期待される特性は得にくい。

【0010】

また、特開平09-232589号公報には、ソース電極とドレイン電極を結ぶ向きに有機半導体層が配向するように配向膜を設けた有機TFTの作製方法が開示されている。この場合も、上述した理由で分子間伝導が難しく、高特性は得にくい。

【0011】

また、文献(Y-Y. Lin, D. J. Gundlach, S. F. Nelson, and T. N. Jackson, "IEEE Electron Devices Letters", Vol. 18, No. 12 P. P. 606-608 (1997)) には、垂直配向膜の一種であるオクタデシルトリシランを塗布したゲート絶縁膜表面上に2層のペンタセン蒸着膜を形成して、高性能の有

機TFTを得ることが開示されている。この場合、TFT特性評価には、ドレイン電圧が -80 V 、ゲート電圧が -100 V が用いられており、半導体素子に印加する電圧としては高すぎる。

【0012】

また特開2001-94107には、ゲート絶縁層の表面にディップ法で膜厚 $0.3\sim 10\text{ nm}$ のフッ素系ポリマー層を形成し、その上に結晶性の有機半導体層を形成する有機半導体装置が示されているが、このような方式ではゲート絶縁膜の間に界面が形成されるために高いモビリティが期待できないし、記載の構成からすると駆動の電圧が大きくなってしまう。更には有機半導体層の結晶層が2つのピークを持つことから配向が充分ではなく、大きな特性の向上は期待できない。また、特開2001-94107号公報は、フッ素膜の上のペンタセンが2つの結晶軸を持つ事で移動度が上昇するとしているが、本発明ではC軸配向率が高いほどトランジスターの移動度が上昇していることから本質的に異なる機構による発明と考えられる。

【0013】

【発明が解決しようとする課題】

有機TFTの特性向上のためには、有機半導体膜の結晶性向上と素子構成の工夫、さらには絶縁膜等の高性能化が重要である。

本発明は、上記問題点を解決するためになされたものであり、大面積基板上に均一に作製でき、ゲート電極に印加する電圧によってドレイン電流を大きく変調させることができる高い移動度を有する有機半導体素子を提供することを目的とする。

【0014】

更には、動作が安定で、低電圧で駆動することが可能で、素子の寿命も長く、製造方法も簡便にできる有機半導体素子を提供することを目的とする。

また、上記の有機半導体素子を用いた、アクティブマトリクス型表示装置或いは有機半導体素子をICカード電子タグとして用いた有機半導体装置を提供することを目的とする。

【0015】

【課題を解決するための手段】

即ち、本発明の第一の発明は、基板の表面に、ゲート電極、ゲート絶縁層、有機半導体層、ソース電極／ドレイン電極、及び保護膜が設けられている有機半導体素子において、前記有機半導体層に接して表面エネルギーの低い島状突起が分散して形成されている島状突起層が設けられていることを特徴とする有機半導体素子である。

【0016】

前記ゲート絶縁層および有機半導体層の間に表面エネルギーの低い島状突起が分散して形成されている島状突起層が設けられているのが好ましい。

前記島状突起の表面エネルギーは 30 dyn/cm^2 以下であるのが好ましい。

。

前記島状突起層中に分散している島状突起の占める割合が、島状突起層全体の $10 \sim 95\%$ であるのが好ましい。

前記島状突起の高さが $0.2 \sim 150 \text{ nm}$ であるのが好ましい。

前記島状突起の平均直径が $0.1 \sim 100 \text{ nm}$ であるのが好ましい。

【0017】

前記表面エネルギーの低い島状突起が、ポリアミドまたはポリイミドからなるのが好ましい。

前記表面エネルギーの低い島状突起が、ポリフマル酸エステル系ポリマーおよび環状のパーフルオロポリマーから選ばれるフッ素系ポリマーからなるのが好ましい。

前記表面エネルギーの低い島状突起が、フルオロアルキルシラン化合物およびパーフルオロエーテル系化合物から選ばれるフッ素系化合物からなるのが好ましい。

【0018】

前記有機半導体層がペンタセンまたはテトラセンからなるのが好ましい。

前記有機半導体層が前記ゲート絶縁層の表面法線方向に対して周期性を有するのが好ましい。

前記有機半導体層がペンタセン誘導体膜からなり、該ペンタセン誘導体膜のC

軸配向率が85%以上であるのが好ましい。

【0019】

本発明の第二の発明は、基板の表面に、ゲート電極、ゲート絶縁層、有機半導体層、ソース電極／ドレイン電極、及び保護膜が設けられている有機半導体素子の製造方法において、前記有機半導体層に接してスピコートまたはスプレー塗布法により表面エネルギーの低い島状突起が分散して形成されている島状突起層を形成することを特徴とする有機半導体素子の製造方法である。

【0020】

前記スピコートまたはスプレー塗布法により表面エネルギーの低い島状突起が分散して形成されている島状突起層を形成した後、該島状突起層上に有機半導体層を60℃～200℃の加熱条件下で成膜するのが好ましい。

【0021】

本発明の第三の発明は、上記の有機半導体素子をアクティブ素子として用いることを特徴とするアクティブマトリクス型表示装置である。

本発明の第四の発明は、上記の有機半導体素子をIC情報電子タグとして用いることを特徴とする有機半導体装置である。

【0022】

【発明の実施の形態】

以下、本発明を詳細に説明する。

本発明の有機半導体素子は、基板の表面に、ゲート電極、ゲート絶縁層、有機半導体層、ソース電極／ドレイン電極、及び保護膜が設けられており、かつ前記有機半導体層に接して表面エネルギーの低い島状突起が分散して形成されている島状突起層が設けられている構成からなることを特徴とする。

【0023】

一般的な有機半導体素子は、例えば基板上にゲート電極、ゲート絶縁層、水平に間隔を置くソース電極とドレイン電極、及び有機半導体層によって構成され、ゲート電極に印加される電圧の極性に応じて、蓄積状態または空乏状態の何れかで動作する。そして、一般的な有機半導体素子の構成は、基板上にゲート電極、ゲート絶縁層、有機半導体層、ソース電極とドレイン電極、保護膜の順に構成さ

れる逆スタガー構造と、基板上にゲート電極、ゲート絶縁層、ソース電極とドレイン電極、有機半導体層、保護膜の順に構成されるコプラナー構造とがあり、ソース電極とドレイン電極が有機半導体層を挟む形の構造が用いられる。

【0024】

そして、上記の一般的な有機半導体素子の構成において、本発明の有機半導体素子は、表面エネルギーの低い島状突起が分散して形成されている島状突起層を有することを特徴とし、かつ該島状突起層を有機半導体層に接した位置に配置して設けることを特徴とする。

【0025】

本発明の島状突起層を有する有機半導体素子の構成の好ましくい実施態様を示すと、下記のとおりである。

(1) 基板の表面に、ゲート電極、ゲート絶縁層、表面エネルギーの低い島状突起が分散して形成されている島状突起層、有機半導体層、ソース電極／ドレイン電極、及び保護膜がこの順に設けられている有機半導体素子。

(2) 基板の表面に、ゲート電極、ゲート絶縁膜、有機半導体層、表面エネルギーの低い島状突起が分散して形成されている島状突起層、ソース電極／ドレイン電極、及び保護膜がこの順に設けられている有機半導体素子。

(3) 基板の表面に、ゲート電極、ゲート絶縁膜、ソース電極／ドレイン電極、表面エネルギーの低い島状突起が分散して形成されている島状突起層、有機半導体層、及び保護膜がこの順に設けられている有機半導体素子。

(4) 基板の表面に、ゲート電極、ゲート絶縁膜、ソース電極／ドレイン電極のいずれか一方、表面エネルギーの低い島状突起が分散して形成されている島状突起層、有機半導体層、ソース電極／ドレイン電極のいずれか一方及び保護膜がこの順に設けられている有機半導体素子。

【0026】

上記の実施態様に示す本発明の有機半導体素子の構成において、ゲート絶縁層および有機半導体層の間に表面エネルギーの低い島状突起が分散して形成されている島状突起層が設けられているのが好ましい。

【0027】

次に、本発明の有機半導体素子について具体的に説明する。

図1は、本発明の有機半導体素子の一実施態様を示す概略断面図である。

図中、101はゲート電極、102は基板、103はゲート絶縁層、104は島状突起層、105は有機半導体層、106はソース電極、107はドレイン電極、108は保護膜を示す。

【0028】

同図1において、本発明の有機半導体素子の一つの構成例は、基板102の表面にゲート電極101が設けられ、その上にゲート絶縁層103が設けられ、該ゲート絶縁層103の表面に表面エネルギーの低い島状突起が分散して形成されている島状突起層104が設けられ、該島状突起層104の上にソース電極106とドレイン電極107が間隔をおいて設けられ、その上に有機半導体層105が島状突起層104と両電極106、107と接して設けられ、さらに有機半導体層105の上に保護膜108が設けられている。

【0029】

本発明における基板102としては、絶縁性の材料であれば広い範囲から選択することが可能である。具体的には、ガラス、アルミナ焼結体などの無機材料、ポリイミドフィルム、ポリエステルフィルム、ポリエチレンフィルム、ポリフェニレンスルフィド膜、ポリパラキシレン膜等の各種絶縁性プラスチック等が使用可能である。特にプラスチック基板を用いると、軽量でフレキシブルな有機半導体素子を作製することができ有用である。

【0030】

本発明におけるゲート絶縁層103は、例えばポリクロロピレン、ポリエチレンテレフタレート、ポリオキシメチレン、ポリビニルクロライド、ポリフッ化ビニリデン、シアノエチルプルラン、ポリメチルメタクリレート、ポリサルフォン、ポリカーボネート、ポリイミド等の有機材料が用いられ、これらの有機材料は塗布法により形成することができる。また、 SiO_2 、 SiN_x 、 Al_2O_3 、 Ta_2O_5 等の無機材料が用いられ、これらの無機材料はマスク蒸着等の既存のパターンプロセスを用いて形成することができる。また、後述の島状突起層の材料として用いられるフッ素ポリマーをゲート絶縁層として用いることが望ましい

。もちろんこれらの材料に限られるわけではなく、また、これらの材料を2種以上併用しても差し支えない。

更には、ゲート絶縁層はゲート電極の金属を酸化させて絶縁膜として使用してもよい。

【0031】

本発明における島状突起層104は、表面エネルギーの低い島状突起が分散して形成されるが、該島状突起の表面エネルギーは 30 dy n/cm^2 以下、好ましくは 28 dy n/cm^2 以下、さらに好ましくは $26 \sim 3 \text{ dy n/cm}^2$ の範囲が望ましい。表面エネルギーは 30 dy n/cm^2 を越えると、分子の垂直配向が減少するので好ましくない。なお、本発明における表面エネルギーは、島状突起を構成する材料を用いて成膜された連続膜の表面エネルギーの値を示す。

【0032】

また、前記島状突起層中に分散している島状突起の占める割合が、島状突起層全体の10～95%、好ましくは20～80%の範囲であるのが望ましい。10%未満では垂直配向が減少となり、95%を越えると絶縁膜の間に電荷のトラップが発生し、電気的な特性が低下するので好ましくない。

【0033】

また、前記島状突起の高さは、 $0.2 \sim 150 \text{ nm}$ 、好ましくは $0.4 \sim 120 \text{ nm}$ の範囲が望ましい。

また、前記島状突起の平均直径が $0.1 \sim 100 \text{ nm}$ 、好ましくは $0.15 \sim 80 \text{ nm}$ の範囲が望ましい。

【0034】

図2は、基板上に SiO_2 膜からなるゲート絶縁層を形成した SiO_2 膜基板上に形成した島状突起の微細なパターンを表すAMF型電子顕微鏡写真（倍率10000倍）である。図中の突起は島状突起を示し、該島状突起は多数が1個のものからなり、または一部では2個又は複数個が接触しているものもある。同図は後述の実施例1のフッ素ポリマーからなる島状突起を示し、該島状突起が分散している平面層が島状突起層を示す。

【0035】

前記表面エネルギーの低い島状突起は、ポリアミドまたはポリイミド等の様な直線性の高い化学構造を有する材料から形成されているものが好ましい。

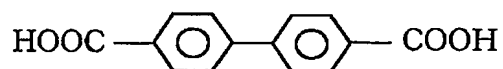
ポリアミドの具体例としては、例えば、下記の構造式(1)～(3)に示す様なジカルボン酸と、構造式(11)～(13)に示す様なジアミンとの縮重合物からなるポリアミドが好ましい。

【0036】

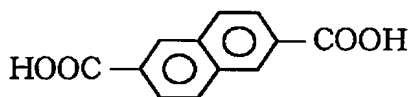
【化1】



(1)



(2)



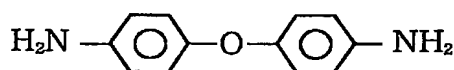
(3)

【0037】

【化2】



(11)



(12)



(13)

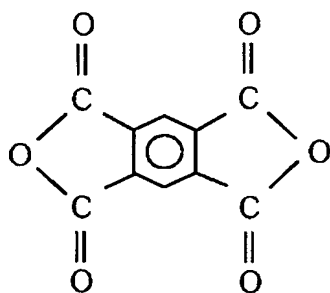
【0038】

また、ポリイミドの具体例としては、例えば、下記の構造式(4)～(7)に

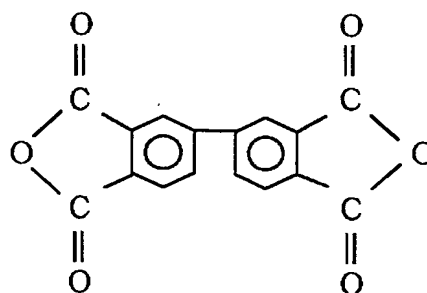
示す様なテトラカルボン酸二無水物と、上記の構造式(11)～(13)に示す様なジアミンとの縮重合物からなるポリイミドが好ましい。

【0039】

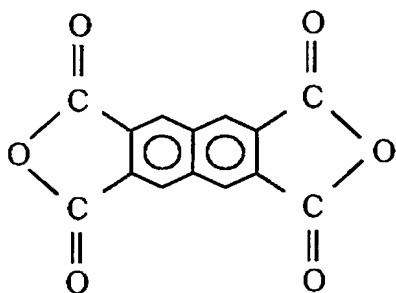
【化3】



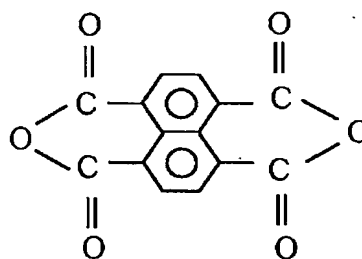
(4)



(5)



(6)



(7)

【0040】

さらに、前記表面エネルギーの低い島状突起は、ポリフマル酸エステル系ポリマーおよび環状のパーフルオロポリマーから選ばれるフッ素系ポリマーからなる材料、またはフルオロアルキルシラン化合物およびパーフルオロエーテル系化合物から選ばれるフッ素系化合物からなる材料で形成されているのが好ましい。

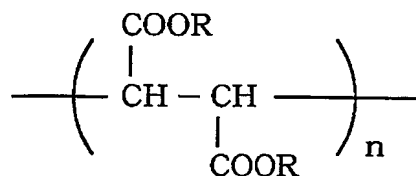
【0041】

ポリフマル酸エステル系ポリマーとしては、例えば、下記の構造式(8)に示

すポリマー等が挙げられる。

【0042】

【化4】



(8)

【0043】

(式中、Rは $-(\text{CH}_2)_L(\text{CF}_2)_m\text{CF}_3$ を示す。L, mは、 $L \geq 0$, $m \geq 0$ を示す。)

【0044】

フルオロアルキルシラン化合物としては、例えば、下記の構造式(9)に示す化合物等が挙げられる。

【0045】

【化5】



【0046】

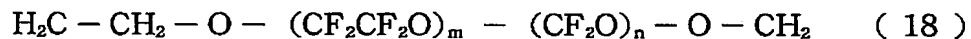
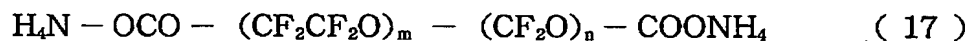
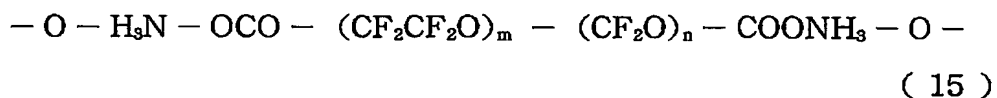
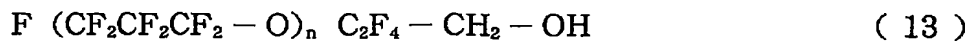
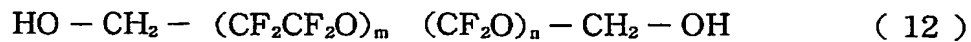
(式中、Meは CH_3 、 $a \geq 0$, $b \geq 0$ を示す。)

【0047】

パーフルオロエーテル系化合物としては、例えば、下記の構造式(10)～(18)に示す化合物等が挙げられる。

【0048】

【化6】



【0049】

本発明における表面エネルギーの低い島状突起の材料のフッ素系ポリマーまたはフッ素系化合物は、もちろん上記の材料に限られるわけではない。

【0050】

本発明におけるゲート電極101としては、ポリアニリン、ポリチオフェン等の有機材料、或いは導電性インク等の材料が用いられ、これらの材料は電極形成プロセスが簡便な塗布法により形成することができる。また、金、白金、クロム、パラジウム、アルミニウム、インジウム、モリブデン、ニッケル、等の金属や、これらの金属を用いた合金や、ポリシリコン、アモルファスシリコン、錫酸化物、酸化インジウム、インジウム・錫酸化物（ITO）等の無機材料が用いられ、これらの無機材料は既存のフォトリソグラフィ法を用いて電極を形成することが

できる。もちろん上記の材料に限られるわけではなく、また、上記の材料を2種以上併用しても差し支えない。

【0051】

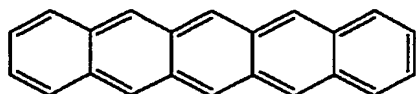
本発明におけるソース電極106及びドレイン電極107の材料としては、ほとんどの有機半導体が、電荷を輸送するキャリアがホールであるP型半導体であることから、半導体層とオーミック接触をとるために、仕事関数の大きい金属が望ましい。具体的には、金、白金が挙げられるが、これらの材料に限定されるわけではない。ここでいう仕事関数とは、固体中の電子を外部に取り出すのに必要な電位差であり、真空準位とフェルミ準位のエネルギー差を電荷量で割った値として定義される。また、半導体層表面にドーパントを高密度にドーブした場合は、金属/半導体間をキャリアがトンネルすることが可能となり、金属の材質によらなくなるため、ゲート電極であげた金属材料或いは有機導電性材料も対象となる。

【0052】

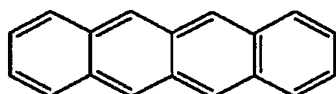
本発明における有機半導体層105としては、 π 電子共役系の芳香族化合物、鎖式化合物、有機顔料、有機けい素化合物等の材料からなるのが望ましい。具体的な材料としては、ペンタセン、中心ベンゼン環の間にビシクロ環を導入したペンタセン誘導体、テトラセン、アントラセン、チオフェンオリゴマ誘導体、フェニレン誘導体、フタロシアニン化合物、ポリアセチレン誘導体、ポリチオフェン誘導体、シアニン色素等が挙げられるが、これらの材料に限定されるわけではない。ペンタセン（式19）およびテトラセン（式20）の構造式を下記に示す。

【0053】

【化7】



(19)



(20)

【0054】

本発明においては、有機半導体層に接して、表面エネルギーの低い島状突起が分散して形成されている島状突起層が設けられている構成からなることを特徴とする。この島状突起層の上に有機半導体層を設けると、例えば有機半導体層がペンタセン誘導体膜からなる場合、該ペンタセン誘導体膜のC軸配向率が85%以上、好ましくは90%以上となり、ペンタセン誘導体膜の配向性を上げることができる。

【0055】

また、ゲート絶縁層および有機半導体層の間に島状突起層が設けられているのが好ましく、この構成により、さらに有機半導体層が前記ゲート絶縁層の表面法線方向に対して周期性を有する様に形成することもできる。周期性とはペンタセン分子の単一層が積層されていくことを意味している。

【0056】

次に、本発明の有機半導体素子の製造方法について説明する。

本発明の有機半導体素子の製造方法は、基板の表面に、ゲート電極、ゲート絶縁層、有機半導体層、ソース電極／ドレイン電極、及び保護膜が設けられている有機半導体素子の製造方法において、前記有機半導体層に接してスピコートまたはスプレー塗布法により表面エネルギーの低い島状突起が分散して形成されている島状突起層を形成することを特徴とする。

【0057】

本発明では、上記の様に、基板の表面にゲート電極、ゲート絶縁層、有機半導体層、ソース電極／ドレイン電極、及び保護膜を形成するが、島状突起層以外の上記の各電極および層の形成方法は通常の方法により行なうことができる。

【0058】

具体的には、上記の各電極および層の形成方法において、無機絶縁膜等にはプラズマCVD法が、金属膜、錫酸化物、酸化インジウム、ITO等にはスパッタ法が用いられる。また、パターン加工には、既存のフォトリソグラフィ法とドライエッチング或いはウェットエッチング法が用いられる。また、導電性有機材料、導電性インク、絶縁性有機材料、半導体有機材料を原料とする薄膜の作製方法は、スピンコート法、キャスト法、引き上げ法、真空蒸着法、インクジェット法が挙げられる。

【0059】

本発明の有機半導体素子の製造方法は、前記有機半導体層に接して設けられる、表面エネルギーの低い島状突起が分散して形成されている島状突起層を形成方法に特徴を有するものである。

【0060】

図4は本発明の有機半導体素子の製造方法の一実施態様を示す概略図である。同図において、本発明の有機半導体素子の製造方法は、基板102の表面に、ゲート電極101およびゲート絶縁層103を形成した後、該ゲート絶縁層103の上にスピンコートまたはスプレー塗布法により島状突起層104を形成する。島状突起層104は、表面エネルギーの低い島状突起109が分散し点在して形成されている面の層からなる。次に、該島状突起層104の上にソース電極106およびドレイン電極107を形成した後、有機半導体層105を蒸着により成膜する。有機半導体層105は島状突起109の表面を覆い、また島状突起109間にも充填される。さらにその上に保護膜を形成する。

【0061】

本発明における、表面エネルギーの低い島状突起が分散している島状突起層の形成方法は、上記の様にスピンコート法あるいはスプレー塗布法により形成するのが望ましい。例えば、スピンコート法は、前記フッ素ポリマーをフッ素系溶媒

に所定の濃度で溶解させた溶液を作製し、50回転で1.0秒保持して1500回転にて30秒保持して塗布することが望ましい。スプレー塗布法の場合は、エースプレー方式あるいはエアレス方式で行なわれ、霧化した条件での微粒子径が細かければ細かいほど好ましい。一般に、溶液の濃度、回転数が低いほど膜厚は厚くなる傾向にあるが、同じ塗布条件でもフッ素系ポリマーの吸着力や分子量によって膜の形態が大きく変わるため、適宜、最適な塗布条件で塗布すればよい。

【0062】

本発明においては、上記のスピンコート法あるいはスプレー塗布法を用いることにより、島状突起が分散している状態の島状突起層を形成することができる。島状突起が分散して形成される理由は、スピンコートの回転数とコート膜の表面張力等が関係していると思われる。

【0063】

また、前記ゲート絶縁層上にスピンコートまたはスプレー塗布法により表面エネルギーの低い島状突起が分散して形成されている島状突起層を形成した後、有機半導体層を60℃～200℃、好ましくは80℃～180℃の温度条件下で加熱成膜するのが好ましい。この温度条件下で有機半導体層を形成すると、例えばペンタセン誘導体を蒸着成膜すると、ペンタセン誘導体膜のC軸配向率が85%以上となるので好ましい。

【0064】

次に、本発明は、上記の有機半導体素子をIC情報電子タグとして用いることを特徴とする有機半導体装置である。

本発明のIC情報電子タグとして用いる有機半導体装置の例として電子タグスマートカードについて説明する。バーコード又は符号によって品物にタグをつけ光学的な文字の認識を容易にすることは、置き忘れや紛失をしやすい製品目録、手荷物、紙の伝票、又は他の移動可能な品物を識別し探知するために、長い間行われてきた。このような光学的に知覚されるタグは、識別のために見えるように維持される必要があるが、表面のきずあとやその他の損傷によって簡単に読取れなくなってしまう。探知の信頼性を向上するために、無線周波数に基づいた電子タグを使う方法が試みられてきている。このようなタグは典型的には、データの

保存のための半導体メモリと、処理ロジックと、データを放送するためのアンテナとを備え、その全てがエポキシ樹脂等の熱硬化性樹脂、熱可塑性樹脂、または他の適切なプラスチックの容器に埋め込まれている。

【0065】

データ保存の容量の範囲は、典型的には数ビットから数キロビットにおよび、典型的には64ビットである。タグは、読み出し専用記録装置（ロム（ROM））、電氣的にプログラム可能又は消去可能ロム（EPROMやEEPROM）、またはフラッシュメモリを含むことができる。電子タグは、長持ちする小さな電池、光起電性電力、熱変換器、外部から加えられた電磁エネルギーに依存する誘導電力変換器、またはその他の適切な電源によって、動力を供給される。これらの電子タグを有機半導体素子を用いた回路で形成することにより、製造プロセスが簡略化され、低価格化が可能となる。

【0066】

次に、本発明は、上記の有機半導体素子をアクティブ素子として用いることを特徴とするアクティブマトリクス型表示装置である。

アクティブマトリクス液晶表示装置とは、表示部を構成している画素ごとにアクティブマトリクス素子が付加され、これを通して液晶に電圧が印加されるものである。駆動法としては以下の方式が取られる。n行の走査線とm列の信号線からなるn×mマトリクス配線の交点に、TFT等のアクティブマトリクス素子が設けられ、TFTのゲート電極は走査線に、ドレイン電極は信号線に、ソース電極は画素電極に接続される。走査線にはアドレス信号、信号線には表示信号が供給され、オン／オフ信号が乗畳されたアドレス信号で制御されるTFTスイッチを介して、画素電極上の液晶を動作させる。有機半導体素子をスイッチング素子に適用した場合、製造プロセスが簡易化され、低価格が可能となる。

【0067】

【実施例】

以下、実施例を示し本発明をさらに具体的に説明する。

【0068】

実施例 1

まず本実施例による有機半導体装置に用いる基板及び洗浄方法について説明する。

本実施例で使用したシリコン基板は、ボロンをドーピングしたP型基板である。基板の抵抗率は、 $0.1 \sim 0.2 \Omega \text{cm}$ である。結晶軸は $\langle 100 \rangle$ であった。

【0069】

シリコン基板上に SiO_2 膜を形成した。 SiO_2 膜は膜厚 200nm で、シリコン基板表面にウェット熱酸化法により形成した。酸化条件は、炉の温度を 950°C にし、 H_2 と O_2 の流入比を 0.5 とした。

【0070】

シリコン基板の洗浄法は以下の通りである。純度 99% 以上のアセトンにシリコン基板をつけ超音波洗浄を 5 分間行い、その後、純水につけ超音波洗浄を 5 分間行う工程を、それぞれ 2 回実施した。洗浄後、純水を N_2 ガスで吹き払った後、波長 184.9nm 、 253.7nm の紫外(UV)光を強度 100mW 、照射時間 20sec 間の条件で照射し、有機汚染物を除去した。次に、 SiO_2 膜表面上の水分除去及びUV光照射による SiO_2 膜中へのキャリア注入を熱緩和させるため、シリコン基板を N_2 雰囲気下中、 250°C の炉中で 1 時間熱した。

【0071】

次に、本発明による有機半導体素子に用いる表面エネルギーの低い島状突起が分散して点在した島状突起層の作成法を示す。フッ素ポリマーとして、東レダウコーニング社製(商品名、AY43-158E)の下記の構造式(21)で表されるペンタデカフルオロアルキルシランのアルコール溶液(濃度 10 重量%、粘度 3cps)を用いた。

【0072】

【化8】



【0073】

ペンタデカフルオロアルキルシラン (AY43-158E) の平均分子量は 4000 である。上記の SiO_2 膜付シリコン基板を回転数 1500 rpm で 15 秒回転させ、上記のフッ素ポリマー溶液をスピコート法に塗布して、フッ素ポリマーの島状突起が分散した島状突起層を SiO_2 膜表面上に形成した。次に、同基板を、大気下、150℃、20 分間の条件でベークを行った。

【0074】

基板表面に作製したフッ素ポリマー膜は AFM (トンネル型電子顕微鏡) により画像処理にて表面の形状を観察した。その AFM の画像を図 2 に示す。島状突起層の空隙率は 50% で、島状突起の高さは 0.5 nm で、島状突起の平均直径は 0.5 nm であった。また、島状突起を形成したフッ素ポリマー膜の表面エネルギーは 20 dyn/cm^2 であった。

【0075】

ここで上述した表面エネルギーの測定に用いた方法について説明する。この方法は、液晶素子の各基板におけるマクロな表面状態による表面エネルギーの測定方法で行った。液滴による接触核の試薬としては、たとえば A: α -プロモナフタレン、B: ヨウ化メチレン、C: 水などを使う。そして各 A, B, C 等による接触角を測定後、例として日本接着協会誌 Vol. 8, No. 3 (1972) P 131 以降に記載されている北崎ら “Fowkes 式の拡張と高分子固体の表面張力の評価” に記載の計算式により求めた値である。

本実施例に用いている表面エネルギーとは、上記の方式で計算された連続膜の値を示す。

【0076】

次に、本発明による有機半導体素子に用いるペンタセン蒸着膜の作製方法を説明する。

基板には、上記の SiO_2 膜付シリコン基板を用いた。

【0077】

原料のペンタセン粉末は、市販の粉末を昇華法により精製したものをを用いた。ペンタセン蒸着膜は、拡散ポンプで真空排気を行う真空蒸着装置を用いて形成した。ペンタセン蒸着膜の作製条件は以下の通りである。蒸着装置チャンバー内の

到達真空度は、 $3 \sim 5 \times 10^{-4} \text{Pa}$ である。前記ペンタセン粉末をK-cellに入れ、ポート上約20cmの位置に基板を置き、セルを約260℃に加熱して、ペンタセンを昇華させて基板表面上に蒸着した。基板の加熱はヒーターボードを用いて125℃として、ヒーターボードの基板とほぼ同じ高さに水晶振動子を置き、振動子の共鳴周波数の変化から、膜厚及び蒸着速度を算出した。ペンタセン膜の膜厚は150nmにした。

【0078】

表1に、本実験で用いた4種類のマトリックス作製条件を記す。

No. 1は、洗浄工程を行った後、 SiO_2 膜にフッ素ポリマーを塗布しないものを用いた。基板温度は室温(24℃)で成膜速度は平均蒸着速度は $20 \text{ \AA} / \text{sec}$ で行った。

No. 2は、島状突起層に東レダウコーニング社製のペンタデカフルオロアルキルシラン(商品名、AY43-158E)を用い、基板温度は、室温、平均蒸着速度は $7.5 \text{ \AA} / \text{sec}$ で成膜した。

【0079】

No. 3は、フッ素ポリマーを塗布せずに、基板温度は125℃、平均蒸着速度は $7.5 \text{ \AA} / \text{sec}$ で成膜した。

No. 4は、島状突起層で示した東レダウコーニング社製のペンタデカフルオロアルキルシラン(商品名、AY43-158E)を用い、基板温度は125℃、平均蒸着速度は $7.5 \text{ \AA} / \text{sec}$ で成膜した。

以上により、ペンタセン蒸着膜を完成した。

【0080】

【表 1】

表 1

作製条件 No.	島状突起層	基板温度 ($^{\circ}\text{C}$)	蒸着速度 (A/S)	移動度 μ (cm^2/Vs)	オンオフ 比
1	無し	室温	7.5	0.04	0.6×10^5
2	AY43 - 158E	室温	7.5	0.12	1.5×10^5
3	無し	125 $^{\circ}\text{C}$	7.5	0.09	1.5×10^5
4	AY43 - 158E	125 $^{\circ}\text{C}$	7.5	0.21	0.9×10^5

【0081】

次に、実施例に従って作製されたペンタセン蒸着膜の広角X線測定結果を、図3により説明する。

【0082】

図3に表1に示した4種類の作製条件で作られたペンタセン蒸着膜のX線回折図を示す。201は、No. 1のペンタセン蒸着膜の広角X線図、202はNo. 2の広角X線図、203はNo. 3の広角X線図、204はNo. 4の広角X線図である。

【0083】

測定に用いたX線は波長0.15406 nmの銅K- α 線を用いた。X線源の管電圧は30 kV、管電流は30 mAとした。試料とX線源の間にスリットを設けて、試料表面でのX線断面が $2 \times 2 \text{ mm}^2$ となるように設定した。広角ゴニオメータを用いて、入射X線光路と基板面法線とのなす角を $(90 - \theta)^{\circ}$ とし、検出器へ向かう反射光路と基板面法線とのなす角が $(90 - 2\theta)^{\circ}$ と

なるように設定した。検出器には、シンチレーションカウンタを用いた。走査範囲は、 $\theta: 1.5 \sim 15^\circ$ であり、ステップ幅は 0.2° である。各入射角 θ での、サンプリング時間は 5 秒である。

【0084】

図 3 に示したように、ペンタセン蒸着膜の X 線 201、202、203、204 において、 1.57 nm の面間隔に対応するピークを、それぞれ、 $2\theta = 5.6^\circ$ 、 11.4° 、 17.1° 、 23.0° にて観測した。また、 1.49 nm の面間隔に対応するピークを、それぞれ、 $2\theta = 6.0^\circ$ 、 12.1° 、 18.3° 、 24.6° にて観測した。さらに面間隔 0.67 nm の面間隔に対応する $2\theta = 9.4^\circ$ 、 11.7° 、 24.1° にて観測した。

【0085】

基板加熱をした X 線 203 (No. 3) とフッ素膜をコートした X 線 202 (No. 2) では、 $2\theta = 5.6^\circ$ 付近と 6.0° 付近に 2 つのピークが観測された。一方、島状突起層上に基板加熱して作製したペンタセン蒸着膜の X 線 204 (No. 4) では、1 本のピークは観測され、2 本のピークは観測されなかった。何もしていない X 線 201 (No. 1) はピーク強度が極端に低く面間隔が $6 \sim 7 \text{ \AA}$ に対応するピーク強度が見られる。

【0086】

文献 (R. B. Campbell, J. M. Robertson, and J. Trotter, "Acta Crystallogr.", Vol. 14, P. 705 (1961)) によると、ペンタセン単結晶は三斜晶系で、a 軸、b 軸及び c 軸の格子定数は、それぞれ $a = 7.90 \text{ \AA}$ 、 $b = 6.06 \text{ \AA}$ 、 $c = 16.01 \text{ \AA}$ である。また、a 軸と c 軸、b 軸と c 軸、及び a 軸と b 軸のなす角は、それぞれ、 $\alpha = 101.9^\circ$ 、 $\beta = 112.6^\circ$ 、 $\gamma = 85.5^\circ$ である。

【0087】

上記文献値を用いて広角 X 線に現れるピークの指数を計算すると、 1.49 nm の面間隔に対応するピークは (001) ($l = 1, 2, 3, 4$) で表される。また、 $2\theta = 19^\circ$ のピークは (200) と、 $2\theta = 23^\circ$ のピークは (110) と同定される。

【0088】

ペンタセン分子は前述の式19で示されるように、長手方向の長さが約16 Åである。このことから、単結晶層のペンタセン分子は、基板法線方向に1.49 nmの面間隔であることから、法線方向に対して傾いた配置をとると考えられる。一方、薄膜層の面間隔は1.57 nmであることから、ほぼ法線方向に平行、すなわち基板に垂直な配置を取っていると考えられる。

【0089】

以上のことから、No. 1の温度が室温でのSiO₂膜上のペンタセン蒸着膜では、大部分の分子が基板に寝た状態で、一部が法線方向から傾いた状態で、更に一部分が基板面に垂直な状態となる。一方、No. 2からNo. 4の島状突起層上のペンタセン蒸着膜（表1のNo. 2～No. 4）では、基板面内に寝た分子は存在せず、基板に垂直に立った分子と傾いた分子が混在している。特に、基板温度を高くして島状突起層のあるNo. 4は、広角X線に現れるピーク一本であることから単結晶層の割合が増加している。

【0090】

比較例のために、異なる表面エネルギーを持つ材料を用いて島状突起層を形成し、その上にペンタセンの蒸着膜を形成し、そのC軸配向率と表面エネルギーとの関係を調べた。特に表面へのフッ素基の割合をコントロールすることによる表面エネルギーを変えたものを用いたが、必ずしも表面エネルギーとC軸配向率は相関があるとは言い切れないが、表面エネルギーの低いほうが基板法線方向に平行な分子の割合が多くなっていることが、下記の表2のX線のC軸配向率からわかる。

【0091】

【表 2】

表 2

異なる表面エネルギーを持つ材料	表面エネルギー (dyn/cm ²)	C 軸配向率
PFA	10	85 %
PTFE	15	90 %
PMMA	30	95 %
ポリイミド	35	80 %
ポリスチレン	40	70 %
フッ素化ポリイミド 1	5	95 %
フッ素化ポリイミド 2	8	90 %
フッ素化ポリイミド 3	11	85 %

【0092】

(注)

PFE: テトラフルオロエチレン

PTFE: ポリテトラフルオロエチレン

PMMA: ポリメチルメタクリレート

フッ素化ポリイミド 1: フッ素変性率 20% ポリイミド

フッ素化ポリイミド 2: フッ素変性率 10% ポリイミド

フッ素化ポリイミド 3: フッ素変性率 5% ポリイミド

【0093】

次に、本発明の有機半導体素子の作製方法を説明する。

図 5 は、本発明の実施例 1 の有機半導体素子を示す概略図である。図 5 (a)

は有機半導体素子の断面図、図5 (b) は有機半導体素子の平面図を示す。302はシリコン基板、301はシリコン基板302の裏面に作製した銀ペーストでゲート電極、303はSiO₂膜、304はSiO₂膜表面上に作製したフッ素ポリマーからなる島状突起層、305はペンタセン蒸着膜、306はソース電極、307はドレイン電極である。

【0094】

実施例に従って作製されたペンタセン蒸着膜305上に、金属蒸着マスクを置いて、真空蒸着法によりソース電極306及びドレイン電極307を作製した。電極材料は金である。電極の作製条件は以下の通りである。チャンバー内の到達真空度は、 3×10^{-5} Paである。基板温度は室温に設定した。純度99.9%以上の純金細線をMo金属でできた抵抗加熱用ボートにのせ、ボート上約30cmの位置に基板を置き、ボートを加熱して金を蒸着した。平均蒸着速度は、0.5 nm/secにした。また、金蒸着膜の膜厚は100 nmにした。ソース電極とドレイン電極間の距離Lは0.1 mm、ソース、ドレイン電極の長さはWは30 mmとした。次に、シリコン基板の裏面にゲート電極取り出し用銀ペーストを塗布した。

以上により、ペンタセン蒸着膜を用いた有機半導体素子（ペンタセンTFET）が完成した。

【0095】

次に、本発明による有機半導体素子のTFET特性を、図8により説明する。

V_g-I_d曲線は、以下の構成の測定系で測定した。測定装置はAgilent社（製）の4156C（商品名）を用いて測定した。有機半導体素子を真空チャックで金属製のステージに固定し、ステージからゲート電圧V_gを銀ペースト301に印加する。有機半導体素子のソース電極306とドレイン電極307に直径0.5 mmのプロバ針を接触させ、ドレイン電圧V_dを印加する。

【0096】

図6は表1の作製条件No. 1で形成したサンプルの各ゲート電圧を変化させたときのペンタセンTFETのV_d-I_d曲線、図7は作製条件No. 4で形成したサンプルの各ゲート電圧を変化させたときのペンタセンTFETのV_d-I_d曲

線図8は作製条件No. 1の基板を用いた有機半導体素子の $V_g - I_d$ 曲線、図9は作製条件No. 4の基板を用いた有機半導体素子の $V_g - V_{I_d}$ 曲線である。このとき、 $V_d = -40V$ である。

【0097】

図6のNo. 1の SiO_2 膜上に直接ペンタセン蒸着膜を作製した有機半導体素子では、 $V_g = -34V$ 付近で I_d が増加し、 $V_g = -40V$ で $I_d = 1.6 \times 10^{-7}A$ 流れる。この時の、オンオフ比は 0.6×10^5 である。

【0098】

一方、図9のNo. 4の基板に温度をかけフッ素ポリマーからなる島状突起層上にペンタセン膜を作製した有機半導体素子では、 $V_g = -26V$ 付近で I_d が急激に増加し、 $V_g = -40V$ で $I_d = 5.8 \times 10^{-5}A$ 流れる。この素子のオンオフ比は 0.9×10^5 である。

【0099】

同様に条件No. 2および条件No. 3も電流値を求めた。その結果をまとめて表1に示す。

移動度は、下記の式(1)に従って算出した。

【0100】

【数1】

$$\text{移動度 } \mu = (V_g - \sqrt{I_d} \text{ の直線領域の傾き})^2 \times (1/C_i) \times (L/2W)$$

(式1)

【0101】

ここで、 C_i はゲート絶縁膜の $1 \times 1 \text{ cm}^2$ の静電容量である。 W 、 L はそれぞれ実施例で示したチャネル長およびチャネル幅である。

【0102】

表1にNo. 1からNo. 4の移動度を示す。表面エネルギーの低い島状突起が点在した島状突起層上にペンタセン蒸着膜(No. 2, 4)を作製した有機半導体素子は、 SiO_2 膜上に直接ペンタセン蒸着膜(No. 1)を作製した有機

半導体素子と比べて移動度 μ が増加した。一方、オンオフ比に関しては差がなかった。

【0103】

以上のことから、表面エネルギーの低い点在した島状突起層に作製し、しかも基板加熱することでペンタセン蒸着膜では、TFT特性が向上することが認められる。

【0104】

X線解析の図3で示したように、表面エネルギーの低い島状突起が点在した島状突起層に接して作製したペンタセン蒸着膜では、基板面内に寝ているペンタセン分子が存在しない。そのため、キャリアの分子間移動度が起こりやすく、移動度が大きくなったと思われる。また、単結晶層のC軸に対応するピークの強度比が大きくなり、基板法線方向に平行な単結晶が85%以上であれば、高い移動度のFET特性が得られる。

この結果、本発明によれば、SiO₂膜上に表面エネルギーの低い島状突起が点在した島状突起層を形成することにより、TFT特性が得られることが判る。

【0105】

実施例2

本発明による有機半導体素子をアクティブマトリクス液晶表示装置に用いた実施形態について、図10～図12により説明する。

【0106】

図10に本発明によるアクティブマトリクス液晶表示装置を示す。図11に、図10中のA-A'線におけるアクティブマトリクス液晶表示装置の断面図を示す。401はガラス基板、402はゲート電極、403はゲート絶縁膜、404は表面エネルギーの低い島状突起が点在した島状突起層、405はソース電極、406はドレイン電極、407はペンタセン蒸着膜、408、408'は信号配線、409、409'は走査配線、410は画素電極、411はSiNx保護膜、413、413'は配向膜、414は対向電極、415は液晶組成物、416はスペーサビーズ、418、418'は偏光板、419はTFT基板、420は対向基板である。図12に図10及び図11で示したアクティブマトリクス基板

表示装置の作製工程を示す（工程 601～622）。

【0107】

まず、図 12（a）に示した作業工程に従って、TFT 基板 419 を作製する。無アルカリガラス基板 401 上に厚さ約 150 nm の Cr 膜をスパッタリング法により形成する（工程 601）。ホトリソ工程により Cr 膜をパターン化して走査配線 409、及びゲート電極 402 を形成する（工程 602）。その上に、スパッタ法により、厚さ 300 nm の SiO₂ 膜と 200 nm の SiN 膜 403 を形成する（工程 603）。この上に、スパッタリング法により厚さ 300 nm の ITO 薄膜を形成後、ホトリソ工程によりパターン化して、画素電極 410 を形成する（工程 605、606）。その上にスパッタ法を用いて、厚さ 20 nm の Cr 膜を形成し、ホトリソ工程によりパターン化して、信号配線 408、ソース電極 405、及びドレイン電極 406 を形成する（工程 607、608）。さらに、その上に、蒸着法を用いて形成した厚さ 150 nm の Au 薄膜をホトリソ工程によりパターン化して、信号配線 408、ソース電極 405、及びドレイン電極 406 を形成する（工程 609、610）。Cr 膜は、Au 膜と SiO₂ 膜の密着性を向上させるために用いた。

【0108】

さらに、その上に、実施例 1 に記載の内容に従って、島状突起層を作製した（工程 611）。島状突起層の平均高さは 1 nm である。その上に、膜厚 80 nm のペンタセン蒸着膜を形成する（工程 612）。ペンタセン蒸着膜の作製条件は、実施例 1 と同じである。ソース電極－ペンタセン膜－ドレイン電極間の導通をとるために、ドレイン電圧 $V_d = -40$ V を 10 秒間印加した。さらにその上に、保護膜 412 として、薄膜 500 nm のエポキシ樹脂を形成する（工程 613）。次に、信号配線 408、走査線 409 用取り出し穴を、ホトリソ工程により形成する（工程 614）。その上に斜法蒸着により厚さ約 200 nm の配向膜 413 を形成する（工程 615）。以上により、TFT 基板 419 が完成する。

【0109】

次に、図 12（b）に示した作業工程に従って、対向基板 420 を作製する。無アルカリからなるガラス基板 414 上に、スパッタ法を用いて厚さ 140 nm

のITO対向電極415を形成する(工程616)。その上に斜法蒸着法を用いて厚さ200nmの配向膜413'を形成する(工程617)。

【0110】

液晶パネルは、図12(c)に示した作業工程に従って作製する。TFT基板419及び対向基板420上の配向膜413及び413'の表面を配向処理後(工程618)、直径約3 μ mの酸化シリコンからなるスペーサビーズ417をTFT基板419表面上に分散させる(工程619)。TFT基板419及び対向基板420を挟持して形成したセルギャップ間に液晶組成物416を封入する(工程620)。TFT基板419及び対向基板420の表面に偏光板418及び418'を貼り付けて、液晶パネルが形成される(工程621)。

【0111】

本実施例では、実施例1と同じく、表面エネルギーの低い島状突起が点在した島状突起層を下地にしてペンタセン蒸着膜を作製したため、有機半導体素子の特性が、実施例1と同じく、移動度が0.21cm²/Vs、オンオフ比が1 \times 10⁵と良好な値を示した。上記液晶表示装置を点灯評価したところ、画素部分のコントラスト比は150であり、良好な表示が得られた。

【0112】

実施例3

次にIC情報タグの作製方法を示す。

図13について説明すると、この図は、IC基板の一部である。図面を簡単にするために、倒置TFTを一つしか示していないが、この一つのデバイスは、一つの大きな集積アレイのデバイスである。また、図面に示す素子等は正確に縮尺したものではない。本実施例でのIC情報タグは下側に有機半導体素子、その上に誘電体メモリーを積層した構造になっている。本発明では有機誘電体メモリーを用いトランジスターを2個用いてメモリー動作をさせている。集積度を考慮しなければ同一平面状に無機の誘電体と組み合わせることも可能である。誘電体一個に対してトランジスター1個の構造も可能である。また逆に、有機誘電体メモリー上に有機トランジスターを形成しても良い。

【0113】

図14は複数のタグ42, 44, 45, 46, 47（通常は各タグが特有の電子的に読取り可能な識別番号を有する）を識別し、これらの電子タグを電子タグ読取装置20, 26, 28に提示することに応答して様々なデジタルサービスを提供するシステム10の概略図である。デジタルサービスにアクセスするには、電子タグ読取装置20（又は電子タグ読取装置26や28）がコンピュータシステム12に接続され、このコンピュータシステムが更にローカルコンピュータ14と、データベースサーバ16と、ネットワークされたコンピュータ（ネットワークサーバ）18とを備える。

【0114】

本発明のここで示した実施形態では、タグに有機半導体素子が用いられる。電子タグ32は紙の書類30にクリップで留められ、電子タグ42, 44, 45, 46, 47は、それぞれ立方体の形をしたポリゴン50の面52, 54, 56に取付けられている。どのデジタルサービスが呼び出されたかの決定は、様々な文字、グラフィック、または記号的な印（不図示）によって助けられる。この印はそれぞれ電子タグ42, 44, 46の近くに配置されている。電子タグ32又は42, 44及び46は、一以上のタグ読取装置の近くに運ばれ、問い合わせ／応答信号22及び24が電子タグとタグ読取装置との間に伝わり、読取られた電子タグの識別番号がコンピュータシステムに伝わる。

【0115】

電子タグは、様々な対象に、永続してまたは一時的に取付けることができる。このような様々な対象は、これに制限されないが、紙の書類30、ポリゴン50、本、雑誌、ポスター、ノートカード（notecards）、印刷された宣伝、壁、床、天井、家具、電子装置、携帯コンピュータ、容器、ボール紙でできた箱、衣類、またはその他の適切な対象を含む。電子タグを対象に永続して取付けるには、対象に埋め込む方法、対象の表面に粘着して取付ける方法、ステーブラで固定する方法、またはその他の適切な取付機構によって対象に一致させる方法等を採用することができる。

【0116】

電子タグを対象に一時的に取付けるには、対象に取付けられるクリップ、留め

金、又はひもの使用（例えば、電子タグを取付けられた紙クリップ、電子タグを取付けられた輪ゴム又は糸ひもの輪）、単純に分散して載せる（例えば電子タグを投げて床に載せる）、スロット又は置き場への挿入、またはその他の適切な一時的取付機構によって行うことができる。この一時的取付機構によって、取付けられた様々な対象と連続的に関連させることを可能にし、しかも有機半導体素子を用いているために電子タグの再使用を簡単にできるという利点が得られる。

【0117】

図14は、本発明のIC情報電子タグの一例を示す概略図である。

同図14には、一以上のタグを付けられた対象がポリゴン50として示されている。ポリゴン50は複数の電子タグ42, 44, 45, 46, 47を含み、それぞれが各面52, 54, 56に取付けられている。ポリゴン50は回転することで実質上一つの面とその面の中央に取付けられた電子タグとを読取装置20に提示できる。電子タグはポリゴン50のどこにでも、例えばポリゴン50の辺や頂点に、ポリゴンに対してランダムな分布で、又は半ランダムな分布で、又は対称的な分布で、図示するように各面の中央に、取付けることができる。

【0118】

このようなポリゴン（例えば、立方体、四面体、斜方十二面体、二つの表面を持つ平面の固体、又は関係した形状）を使用し、面の中央へ取付けることで、面で受動的に遮蔽できるという利点を得られ、多数の電子タグの同時読取りを制限できる。ポリゴン50は、一つの固体の対象として示されるが、様々な他の形状も本発明の範囲内に含まれる。例えば、全体的な形状は、様々な方形のプリズムに類似していてもよく、又は回転楕円状、長円体、円錐曲線回転体、平面、不定形、又はユーザが対象の形を決められるように十分な可鍛性を持つものでもよい。これに加え、電子タグと一致された多数の協働する形状の構成部分も含まれている。これは、ボールとソケット、鍵とロック、スライド可能又は回転可能な連結構成部分、鎖、又はその他の接続した対象を使うような多数の形状の構成部分の連結を可能にする通常の構成を含む。

【0119】

本発明による、このような上述の対象に取付けるために適切な有機電子タグは

、通常は特有の識別番号及び任意のデータを様々な選択された無線周波数で放送（送信：broadcast）する。識別番号は、用いられる特定のメモリシステムに依存して、電子タグの活性化の際にユーザによって割り当て可能でもよく、ソフトウェア命令によってユーザによって変更可能でもよく、又は有機電子タグ製造業者によって固定されてもよい。特定の実施形態では、赤外線、超音波、または他の適切なデータ転送システムが単独で又は無線周波数タグと組合わせて使われ、固有の識別番号又は関連したデータを送信することもできる。有機電子タグは、外部の電磁コイルによって誘導的に電力を供給されても、内部の電池によって電力を供給されても、光起電性セルによって電力を供給されても、利用可能な時には一般家庭の電流からの少量の電流によって電力を供給されても、その他の適切な電力供給機構によって電力を供給されてもよい。識別番号及び／又はデータの放送は、連続的でもよいし断続的でもよく、ランダムな期間の外部からの状態の問い合わせに応答してもよいし、電子タグのローカルでの電力供給に応答してもよい。

【0120】

有機電子タグ46に、任意にセンサを取り付けることもできる。様々なセンサのモードをサポートすることができ、このセンサモードは、ジャイロ스코プセンサ、加速度計、または音響又は赤外線範囲技術によって決定される絶対的又は相対的な位置情報を含む。従来の光、像、熱、電磁、振動、または音響センサを含む環境センサが存在してもよい。所望の適用法に依存して、環境又は位置センサを使うことができる。このような位置センサは、差動GPS位置検出、像分析又は認識、音響又は音声識別、又は差動熱センサを組み込む。センサは、加速度計、圧縮又は張力変形センサ、又はその他の埋め込まれた又は取付けられたセンサを含んでもよい。

【0121】

特定の適用例では、連続的なセンサ（例えば二層シートのキャパシタンスセンサ）を用いてもよい。特に有効な連続的なセンサの種類の一つは、多数のキャパシタンス又は抵抗ストリップを使い、変形圧力の結果、変形圧力に比例した、位置を特定できるアナログ信号を生じる。単純なキャパシタンスセンサ、抵抗変形

(応力) センサ、アナログ又はデジタル圧力スイッチ、誘導性センサ、または流体流れセンサ等の様々な種類のセンサを使うことができる。用いられるセンサの種類に依存して、センサデータは、直接電子タグ 46 にデジタル形式で送ることもでき、又は、典型的には 4 から 8 ビットの範囲を提供する汎用アナログ-デジタル変換器によってデジタル形式に変換することもできる (ただし、少なくとも 1 ビットから多くは 32 ビットまでが様々な適用例により要求されてもよい)。このようなセンサシステムの使用により、入力情報が追加され、この入力情報は、有機電子タグによって一部が可能にされるユーザインターフェースの一部を形成する。

【0122】

センサに加え、様々なフィードバック表示を有機電子タグ 46 に取付けることができる。例えば、電子タグの始動及び動作は、電子タグ 46 の近く又は電子タグ読取装置 20 の近くに配置された装置からの適切なユーザフィードバックによって示すことができる。例えば、電子タグ 46 の近くの LED 状態ライト及び電子タグ読取装置 20 の近くの LED 状態ライトが設定でき、電子タグが活動的に電子タグ読取装置 20 に送信している時に、断続的な又は間断のない視覚的に目立つ光を提供できる。これによりユーザにデータ転送の視覚的な確認を提供する。

【0123】

選択肢として、携帯コンピュータに一般的に使われている従来のパッシブ又はアクティブマトリックス液晶表示装置や、様々な電気光学的又は微視力学的な技法に基づくディスプレイを使うことができる。これに加え、特定の装置では、適切なエレクトロクロミック物質の集中した又は分布した色の変化によって形成される、像を結ばないディスプレイを使い視覚的なフィードバックをユーザに提供することもできる。

【0124】

タグ読取装置 20 (及びタグ読取装置 26, 28) は、電磁、光学、又は音響信号を様々な周波数で検出するように構成できる。特定の実施形態では、タグ読取装置 20 が有機電子タグ識別番号及びデータの読取りはもちろん、書き込むこ

ともできる。タグの読取に応答して呼び出される特定のデジタルサービスは、タグ読取装置 20, 26, 28 のうちのタグを読取った装置か、有機電子タグが以上の電子タグ読取装置によって読み取られるときの順序か、特定の読取装置に有機電子タグを提示する継続時間、又はユーザが理解できる他の適切な有機電子タグ読取プロトコルに依存させることもできる。

【0125】

電子タグが読取られた後、コンピュータシステム 12 が使われ、有機電子タグの識別番号を解釈し、要求されたデジタルサービスを提供する。識別番号の意味論上の結合は、コンピュータ 14 (これはデスクトップコンピュータでも、電子タグ専用プロセッサでも、または携帯ペンコンピュータ (pen computer) でもよい)、ネットワークに接続されたデータベースサーバ 16、又は他のアクセスできるネットワークされたネットワークサーバ (コンピュータ) 18 によって実現できる。コンピュータシステム 12 内のコンピュータは、様々な配線による又は無線による接続によって相互連結でき、様々な通信プロトコル及び設計をサポートしてもよい。この様々な通信プロトコル及び設計は、シリアルのつなぎ鎖の使用 (例えば RS-232C インターフェースプロトコルを使う)、広く用いられている IRDA 通信規格に従った赤外線信号の使用、又は無線周波数信号の使用 (これは例えば、セルラ電話、900MHz の無線電信、又はデジタル PCS 電話通信であってもよい) を含む。その他の通信規格又はその他の通信搬送波、例えば光学又は音響技法に基づくものを用いることももちろん可能である。その他のコンピュータ 12 からの可能な通信の行先は、自動化制御システム、防犯認証装置、無線の個人デジタル補佐、ノートコンピュータ、又はその他の適切に装備された電子システムを含む。

【0126】

デジタルサービスと特定の電子タグとの結合は、ユーザが定義することもでき、システム提供者によってデフォルト結合として提供されることもでき、繰返し又は状況によってシステムが覚えることもでき、またはこれらのなんらかの組合わせ及び他の適切な意味論上の結合技法であってもよい。例えば、データベース形式を構成し、電子タグの各識別番号をデータベースのキーにすることもできる

【0127】

このキーに、この電子タグの識別番号が検出された時に行われるデジタル動作の集合を関連付ける。このような動作、例えばウェブページの表示、文章書類の表示、カレンダーへの日付の表示、書類内の特定の場所への移動などを列挙したりリストが存在する。各動作は、その動作に適切な（名前、値）ペアのリストによってパラメータで表示される。例えば、文章書類の表示の動作は、表示するファイルを示すペア、読取専用モードで表示するか否かを示すペア、又はファイルが特定の形式に変換されるべきか否かを示すペアを含む。この一般的な（名前、値）機構を使うことにより、またデータベースを人が読取可能なASCII形式にすることにより、ユーザは容易に新しいタグ及び新しい種類の動作を最初に提供されたリストに追加できる。データベースは編集可能なので、電子タグの識別番号とデジタルサービスとの関連は、ユーザによっていつでも変更することができる。

【0128】

有機電子タグ32、42、44、45、46、47は、書類30やポリゴン（多面体）50等の対象物に取り付けらる。これら電子タグの読取り可能範囲は互いに重複しないように設定されている。各有機電子タグの特有の識別番号が、タグ読取り装置20、26、28に提示され、読みとられる。コンピュータシステム12は、読み取られた識別番号に対応するデジタルサービスを提供する。コンピュータシステム12は、識別番号に関連する書類を印刷するネットワークプリンタを含む。好ましくは複数のタグを読み取り、複数の識別番号の組合せに対応するサービスを提供する。好ましくは有機電子タグの読取り範囲を縮小するシールドを電子タグに設ける。これらの電子タグには有機半導体素子が用いられていることを特徴とする。

【0129】

【発明の効果】

以上説明した様に、本発明は、有機半導体素子において、有機半導体層に接して表面エネルギーの低い島状突起が分散して形成されている島状突起層が設けら

れているので、ゲートに印加する電圧によってドレイン電流を大きく変調させることができる高い移動度の有機半導体素子を得ることができる。特に、前記島状突起層が設けることにより、ペンタセン蒸着膜の結晶状態を制御ことができ、低電圧駆動で高い移動度を有する有機半導体素子を得ることができる。

【0130】

また、本発明の製造方法は、表面エネルギーの低い島状突起が分散している島状突起層を大面積基板上に均一に形成することができ、上記の高い移動度の有機半導体素子を簡便に作製することができる。

また、本発明は、上記の高い移動度の有機半導体素子を用いた、アクティブマトリクス型表示装置および有機半導体素子を IC カード電子タグとして用いた有機半導体装置を提供することができる。

【図面の簡単な説明】

【図1】

本発明の有機半導体素子の一実施態様を示す概略断面図である。

【図2】

基板上のゲート絶縁層に形成した島状突起の微細なパターンを表す AMF 型電子顕微鏡写真（倍率 100000 倍）である。

【図3】

ペンタセン蒸着膜の X 線回折を示す図である。

【図4】

本発明の有機半導体素子の製造方法の一実施態様を示す概略図である。

【図5】

本発明の実施例 1 の有機半導体素子を示す概略図である。

【図6】

本発明の有機半導体素子の TFT 特性を示す図である。

【図7】

本発明の有機半導体素子の TFT 特性を示す図である。

【図8】

本発明の有機半導体素子の TFT 特性を示す図である。

【図 9】

本発明の有機半導体素子の T F T 特性を示す図である。

【図 10】

本発明によるアクティブマトリクス液晶表示装置を示す図である。

【図 11】

図 10 中の A-A' 線におけるアクティブマトリクス液晶表示装置の断面図である。

【図 12】

アクティブマトリクス液晶表示装置の作製工程を示す工程図である。

【図 13】

I C 基板の一部を示す部分説明図である。

【図 14】

本発明の I C 情報電子タグの一例を示す概略図である。

【符号の説明】

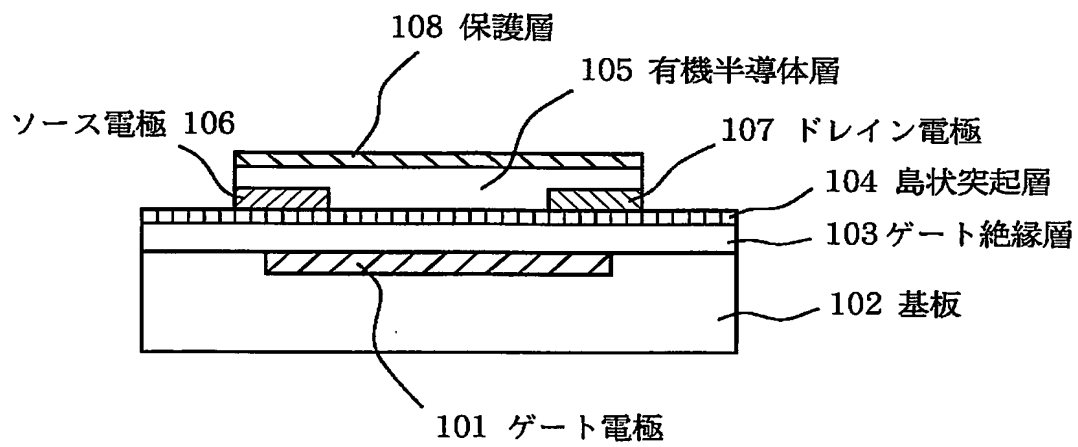
- 12 コンピュータシステム
- 14 ローカルコンピュータ 14
- 16 データベースサーバ
- 18 ネットワークサーバ
- 20, 26, 28 タグ読取装置
- 30 書類
- 32, 42, 44, 45, 46, 47 タグ
- 50 ポリゴン
- 52, 54, 56 面
- 101 ゲート電極
- 102 基板
- 103 ゲート絶縁層
- 104 島状突起層
- 105 有機半導体層
- 106 ソース電極

- 107 ドレイン電極
- 108 保護膜
- 109 島状突起
- 301 ゲート電極
- 302 シリコン基板
- 303 SiO₂膜
- 304 島状突起層
- 305 ペンタセン蒸着膜
- 306 ソース電極
- 307 ドレイン電極
- 401 ガラス基板
- 402 ゲート電極
- 403 ゲート絶縁膜
- 404 島状突起層
- 405 ソース電極
- 406 ドレイン電極
- 407 ペンタセン蒸着膜
- 408、408' 信号配線
- 409、409' 走査配線
- 410 画素電極
- 411 SiN_x保護膜
- 413、413' 配向膜
- 414 対向電極
- 415 液晶組成物
- 416 スペースビーズ
- 418、418' 偏光板
- 419 TFT基板
- 420 対向基板

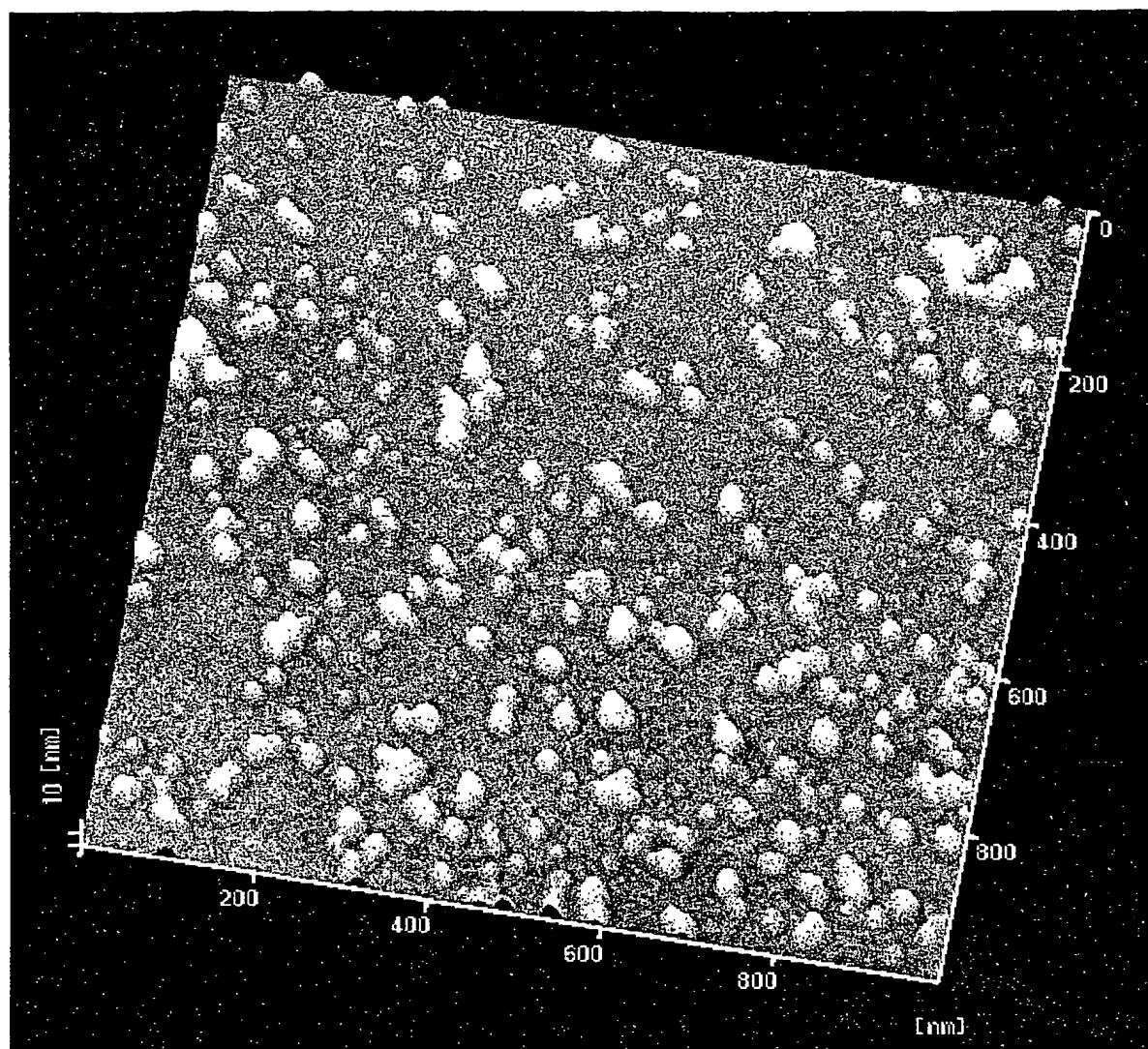
【書類名】

図面

【図 1】



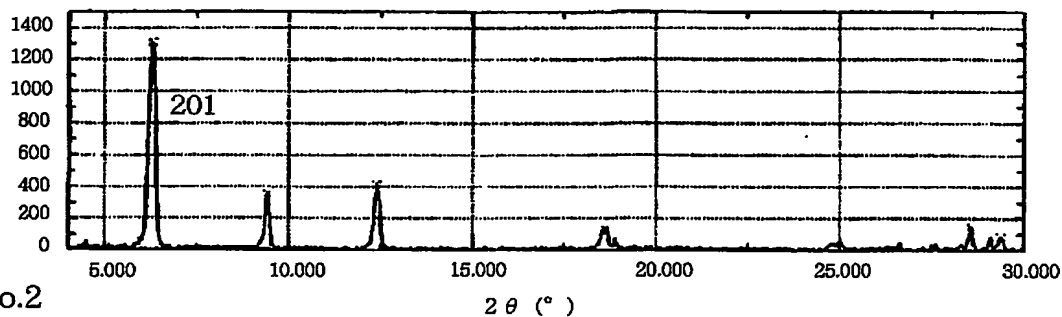
【図 2】



【図 3】

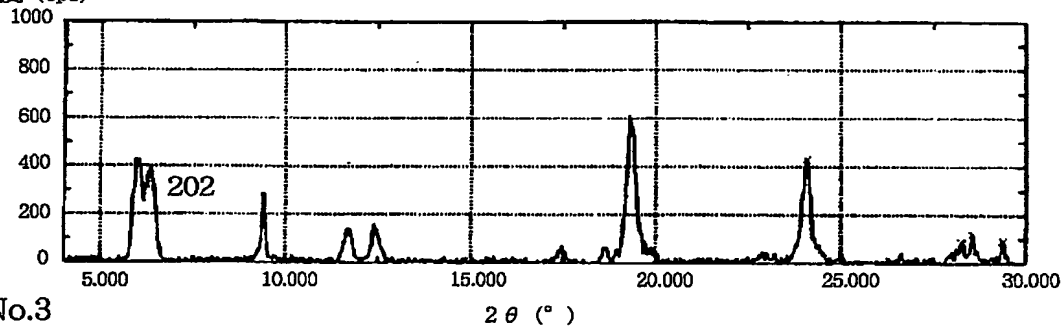
No.1

強度 (cps)



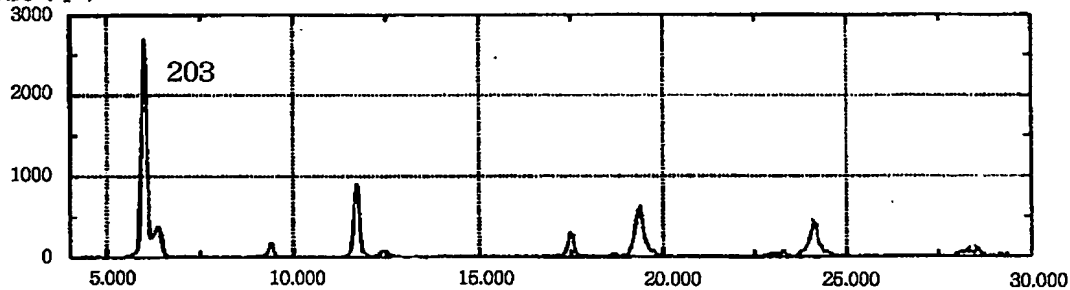
No.2

強度 (cps)



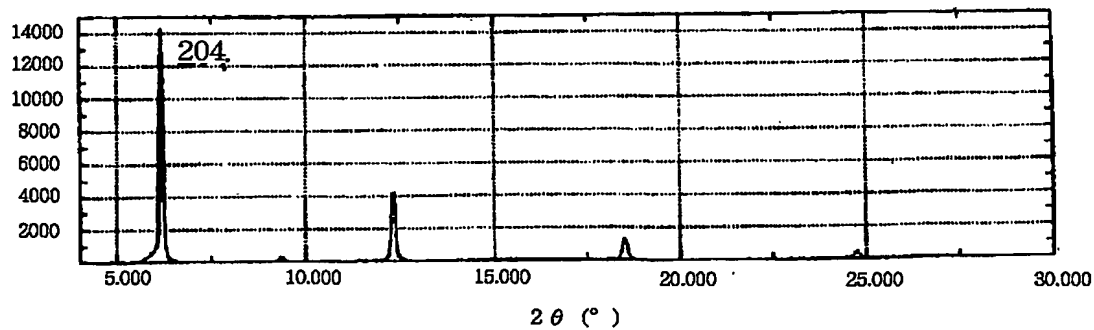
No.3

強度 (cps)

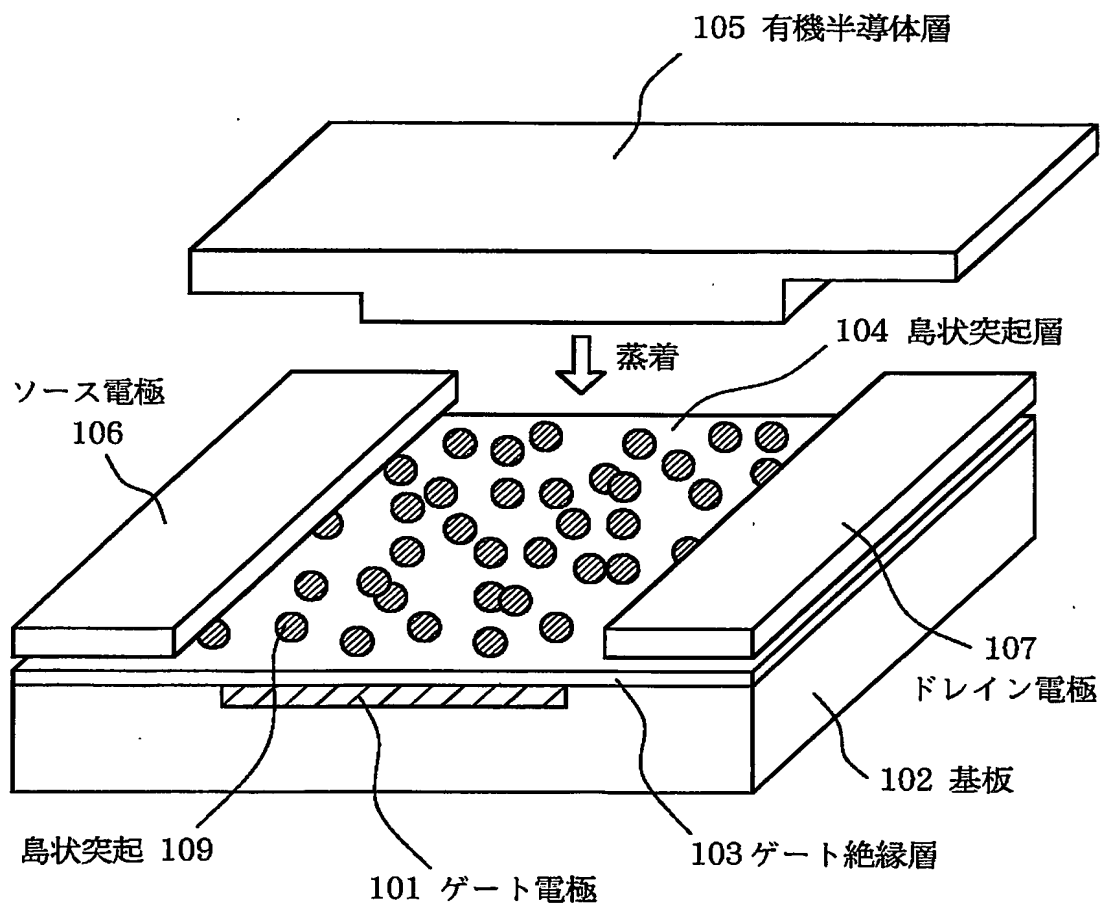


No.4

強度 (cps)

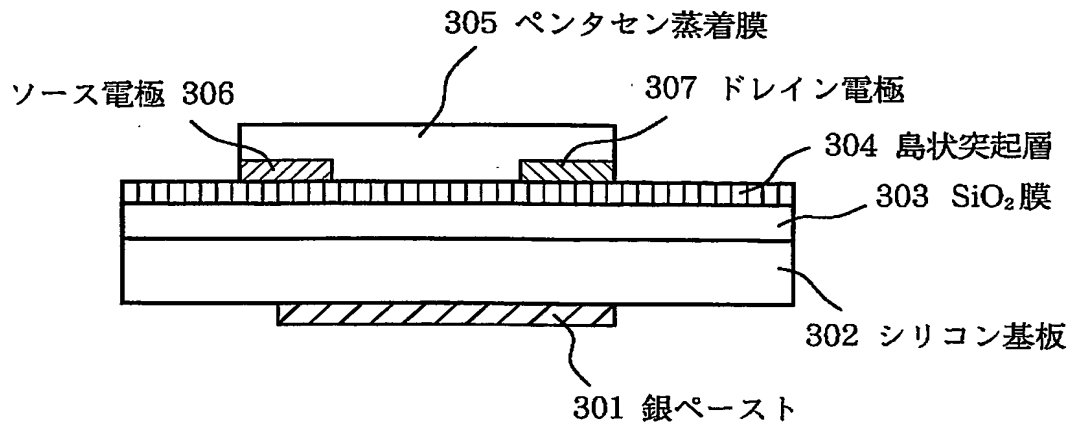


【図 4】

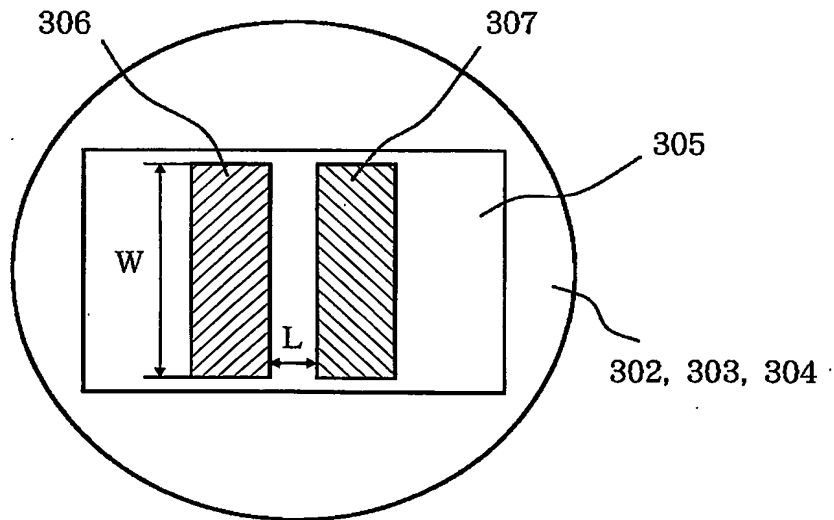


【図 5】

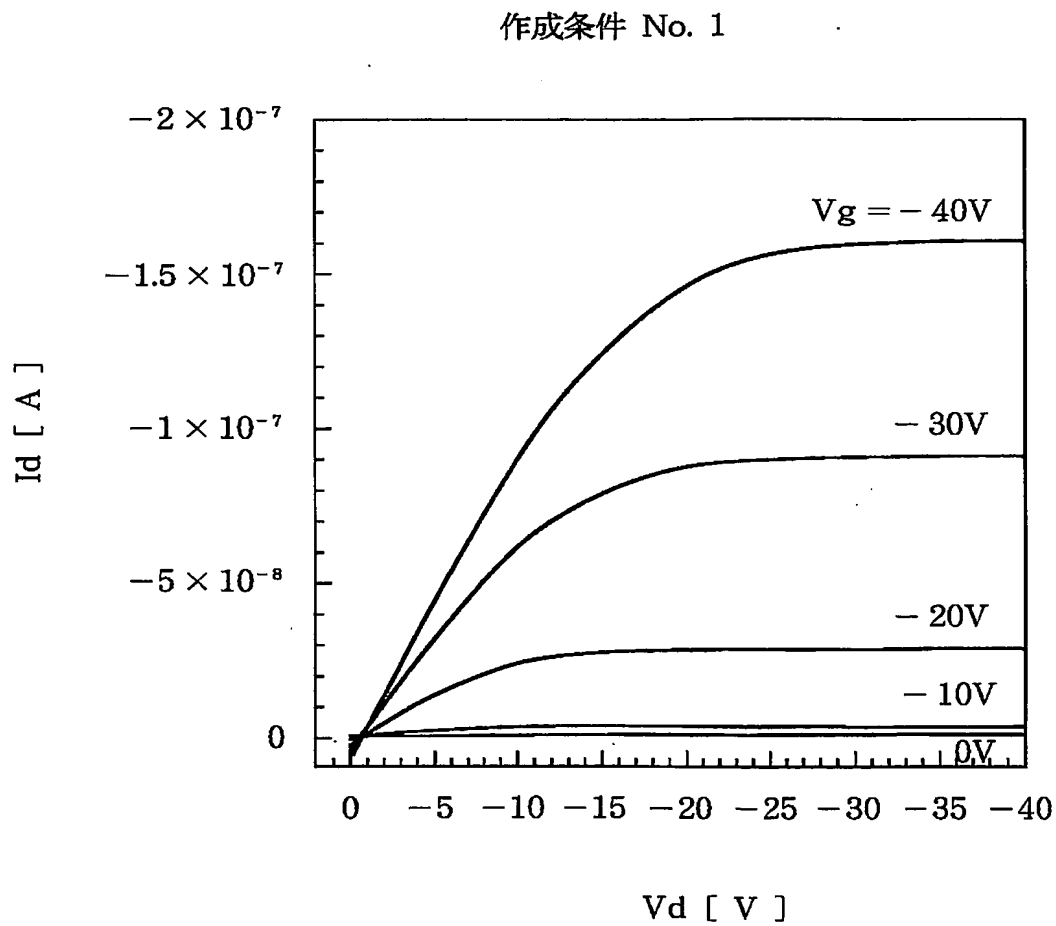
(a)



(b)

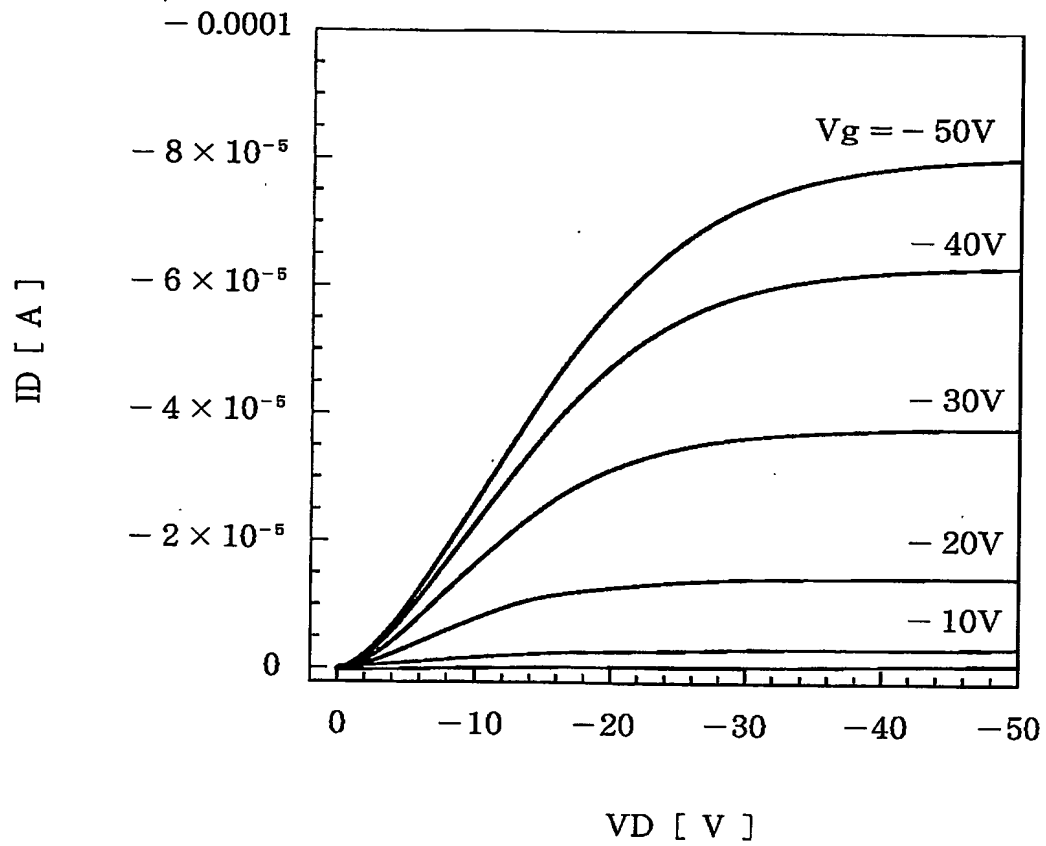


【図 6】



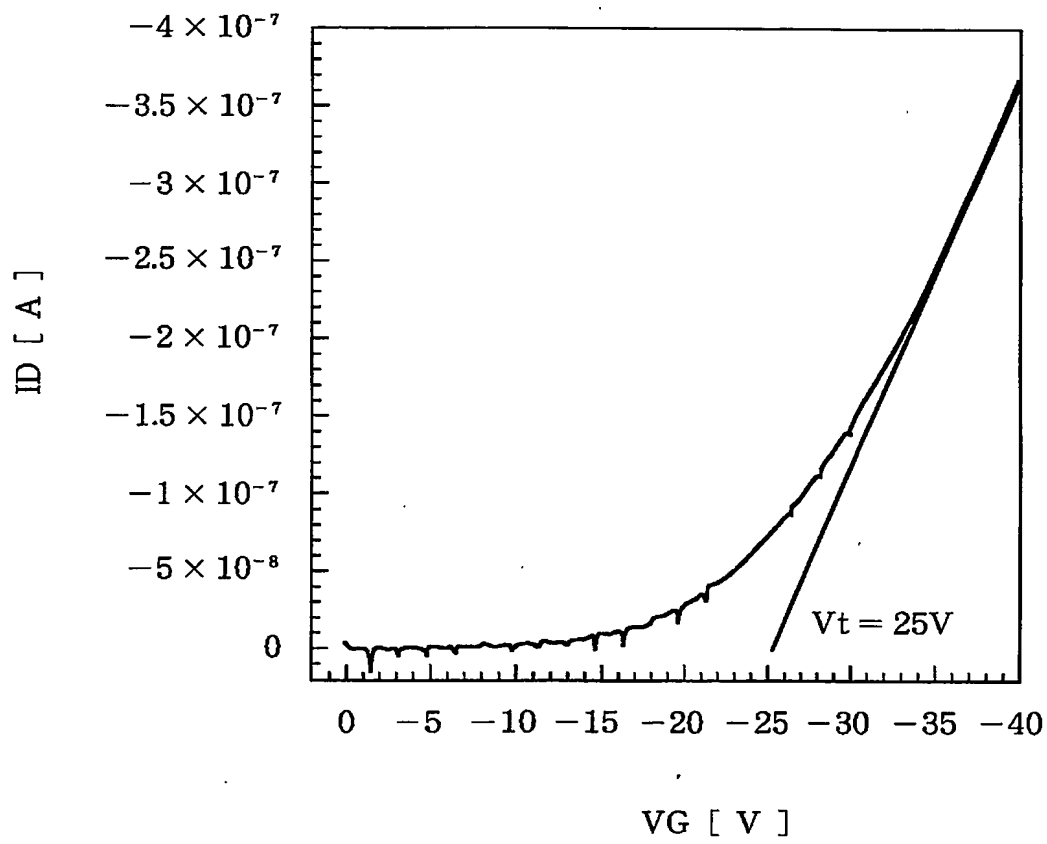
【図 7】

作成条件 No. 4

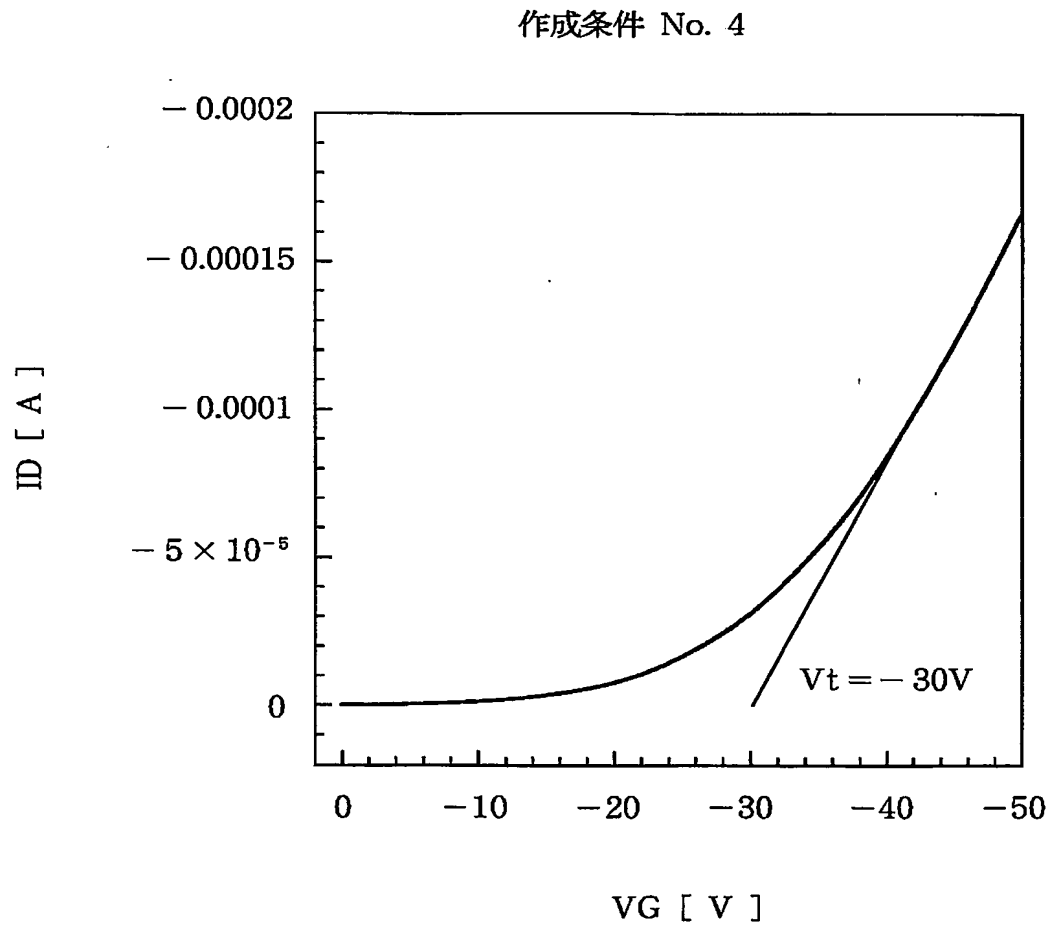


【図 8】

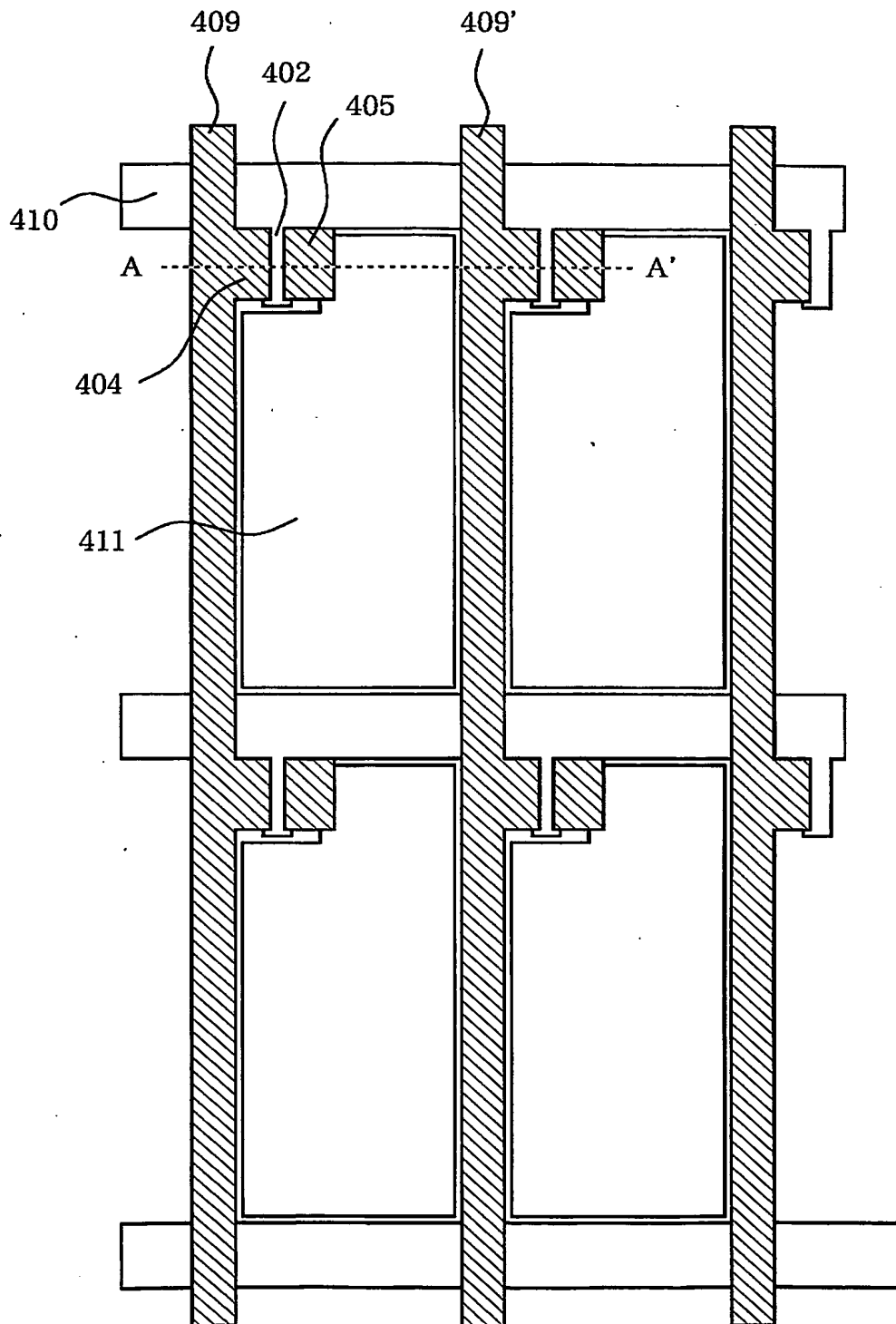
作成条件 No. 1



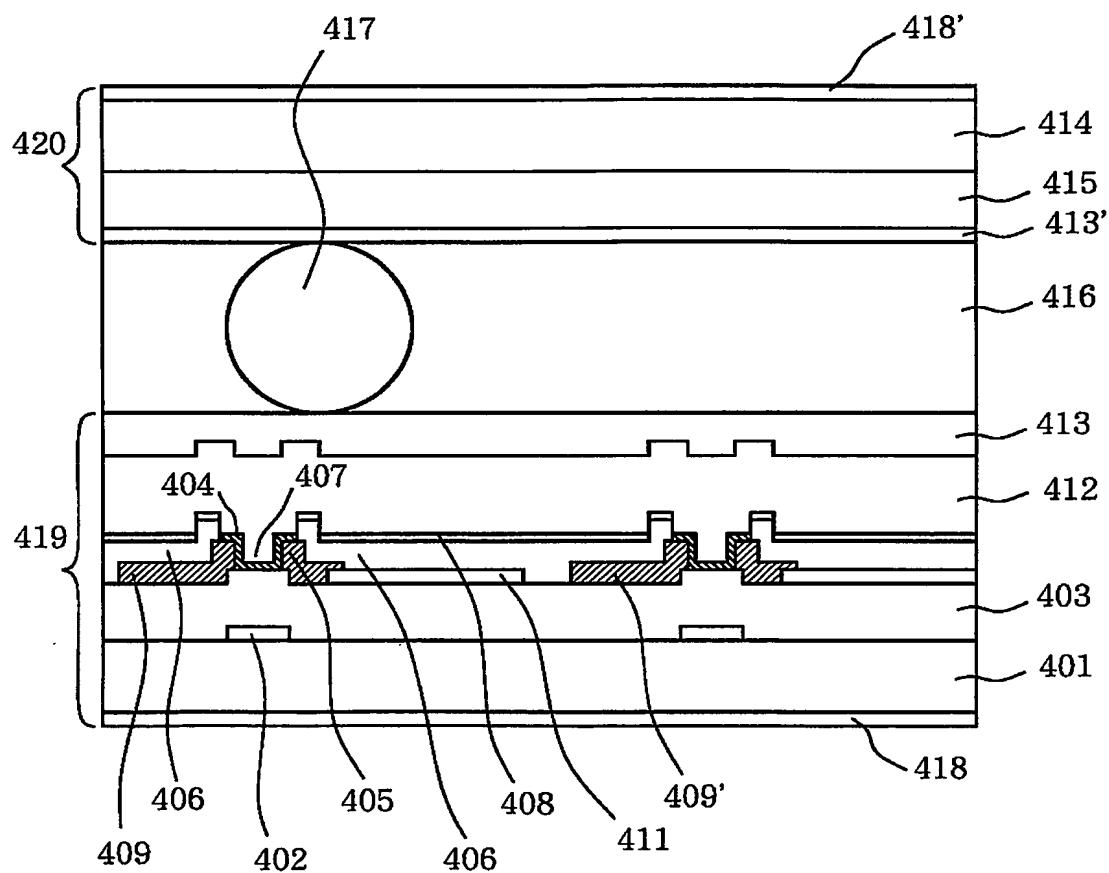
【図 9】



【図 10】



【図 11】



【図 12】

6 0 1	6 0 2	6 0 3	6 0 4	6 0 5	6 0 6	6 0 7	6 0 8	6 0 9	6 1 0	6 1 1	6 1 2	6 1 3	6 1 4	6 1 5	6 1 6

(a)

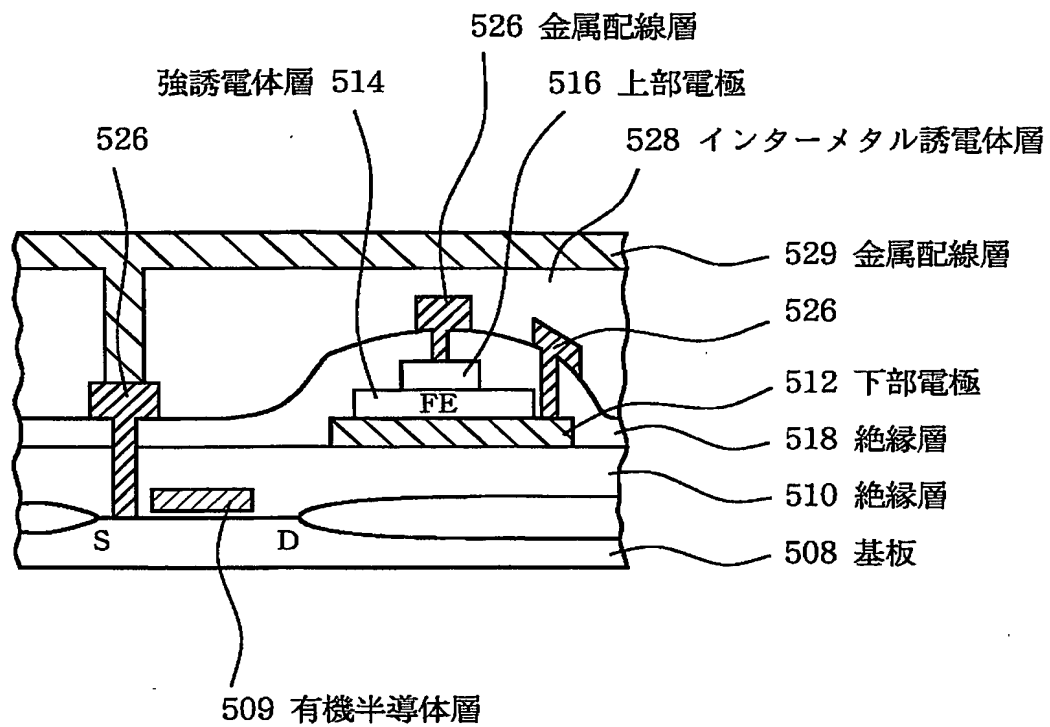
617	
618	↓

(b)

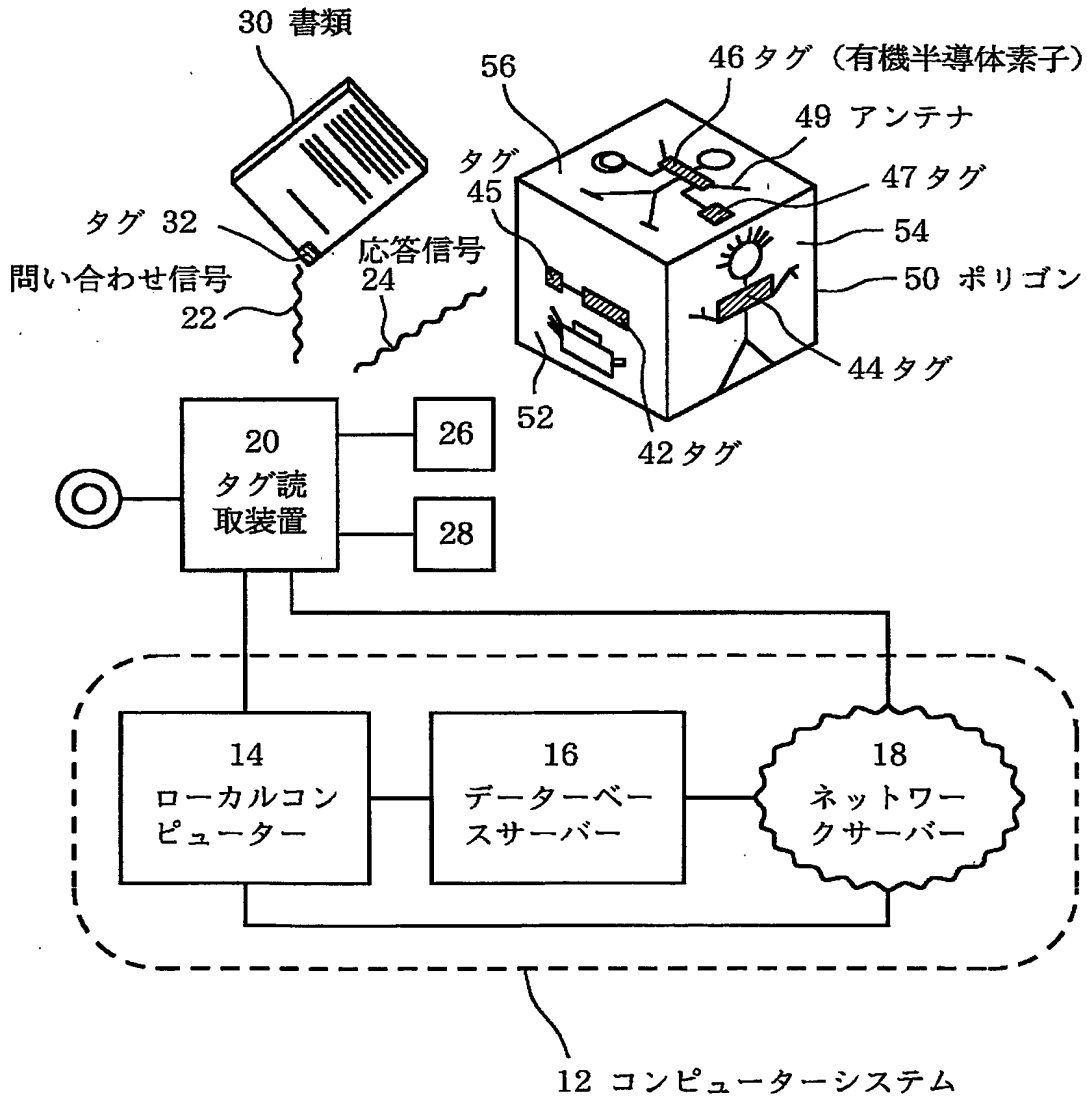
619	
620	
621	
622	↓

(c)

【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 ペンタセン蒸着膜の結晶状態を制御することができ、低電圧駆動で高い移動度を有する有機半導体素子を提供する。

【解決手段】 基板 102 の表面にゲート電極 101 が設けられ、その上にゲート絶縁層 103 が設けられ、該ゲート絶縁層 103 の表面に表面エネルギーの低い島状突起が分散して形成されている島状突起層 104 が設けられ、該島状突起層 104 の上にソース電極 106 とドレイン電極 107 が間隔をおいて設けられ、その上に有機半導体層 105 が島状突起層 104 と両電極 106, 107 と接して設けられ、さらに有機半導体層 105 の上に保護膜 108 が設けられている有機半導体素子。

【選択図】 図 1

特願 2002-179468

出 願 人 履 歴 情 報

識別番号

[000001007]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都大田区下丸子3丁目30番2号

氏 名

キャノン株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.